

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210646

(43)Date of publication of application : 03.08.2001

(51)Int.Cl.

H01L 21/3205
H01L 21/768
H01L 23/12
H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 2000-309006

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 10.10.2000

(72)Inventor : MURATA AKIHIRO

(30)Priority

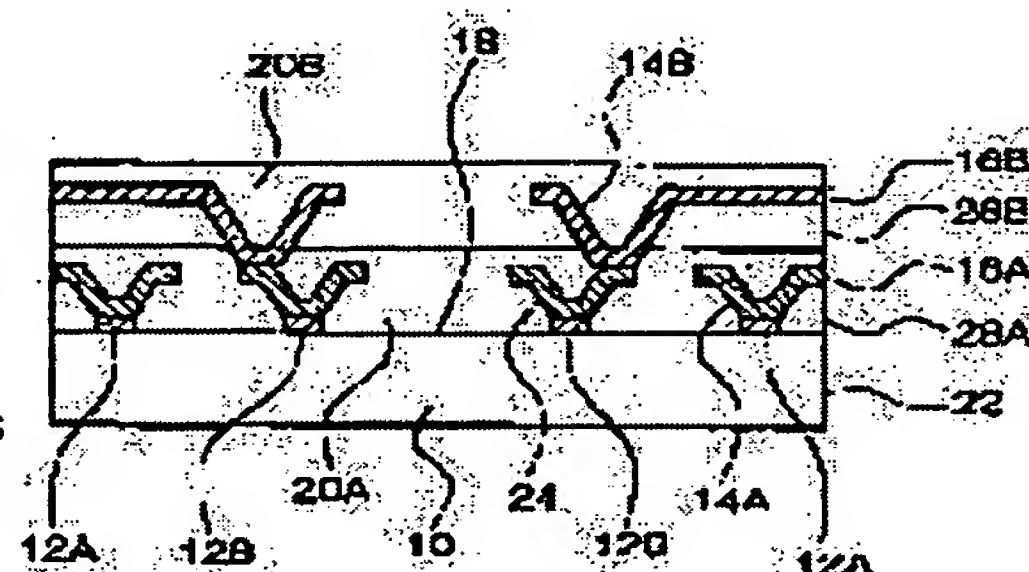
Priority number : 11325581 Priority date : 16.11.1999 Priority country : JP

(54) SEMICONDUCTOR CHIP AND ITS MANUFACTURING METHOD, SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD, AND CIRCUIT SUBSTRATE AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device for securing electrical conduction from a side surface.

SOLUTION: A plurality of layers of protection films 20A and 20B are provided on an active element formation surface 18 of a semiconductor chip 10. The protective films 20A and 20B are formed by a polyamide resin and are flexible. Terminals 14A and 14B, that are electrically connected onto electrode pads 12A and 12B, are provided separately from the active element formation surface 18. The terminals 14A and 14B are exposed from side surfaces 28A and 28B of the protective films 20A and 20B.



LEGAL STATUS

[Date of request for examination]

21.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-210646
(P 2 0 0 1 - 2 1 0 6 4 6 A)
(43) 公開日 平成13年 8 月 3 日 (2001. 8. 3)

(51) Int. Cl. ⁷	識別記号	F I	テームコード	(参考)
H01L 21/3205		H01L 23/12	501	T 5F033
21/768			501	P
23/12	501	21/88		T
		21/90		A
25/065		25/08		B

審査請求 有 請求項の数32 O L (全19頁) 最終頁に続く

(21) 出願番号	特願2000-309006 (P 2000 - 309006)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿 2 丁目 4 番 1 号
(22) 出願日	平成12年10月10日 (2000. 10. 10)	(72) 発明者	村田 昭浩 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
(31) 優先権主張番号	特願平11-325581	(74) 代理人	100090479 弁理士 井上 一 (外 2 名)
(32) 優先日	平成11年11月16日 (1999. 11. 16)		
(33) 優先権主張国	日本 (J P)		

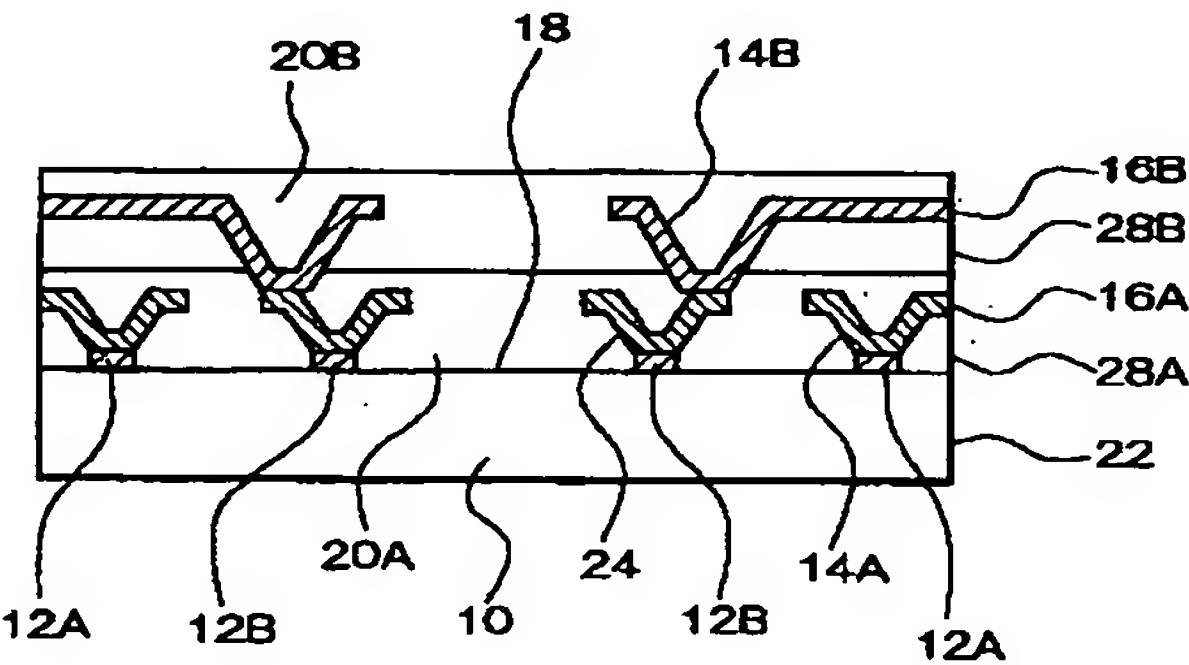
最終頁に続く

(54) 【発明の名称】 半導体チップ及びその製造方法、半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

【課題】 側面から電氣的導通を確保できる半導体装置を提供すること。

【解決手段】 半導体チップ 1 0 の能動素子形成面 1 8 に、複数層の保護膜 2 0 A、2 0 B を設けている。保護膜 2 0 A、2 0 B はポリイミド樹脂から形成され、柔軟性を有する。電極パッド 1 2 A、1 2 B 上に電氣的に接続された端子 1 4 A、1 4 B が、能動素子形成面 1 8 から離隔して設けられる。端子 1 4 A、1 4 B は、保護膜 2 0 A、2 0 B の側面 2 8 A、2 8 B から露出している。



【特許請求の範囲】

【請求項 1】 能動素子形成面に電極が形成されてなる半導体チップにおいて、絶縁性を有するとともに、前記能動素子形成面に形成されてなる 2 層以上の保護膜と、前記電極に電氣的に接続されるとともに、一部を前記保護膜の側面に露出して、前記保護膜毎に形成されてなる端子と、を有することを特徴とする半導体チップ。

【請求項 2】 前記能動素子形成面に 2 層の保護膜を積層し、前記能動素子形成面の直上に形成された第 1 の前記保護膜において、当該第 1 の前記保護膜の前記電極に対応する部位に少なくとも 1 つのビアホールを形成して、前記ビアホールに導電材を充填し、前記第 1 の前記保護膜上に形成された第 2 の前記保護膜において、当該第 2 の前記保護膜の前記端子を前記導電材に接続して、当該第 2 の前記保護膜の前記端子を前記電極に電氣的に接続してなることを特徴とする請求項 1 に記載の半導体チップ。

【請求項 3】 前記能動素子形成面に 3 層以上の保護膜を積層し、前記能動素子形成面の直上に形成された第 1 の前記保護膜において、当該第 1 の前記保護膜の前記電極に対応する部位に少なくとも 1 つのビアホールを形成して、前記ビアホールに導電材を充填し、前記第 1 の前記保護膜の上方に形成された前記保護膜のうち最上層以外の第 2 の前記保護膜において、当該第 2 の前記保護膜の直下の保護膜に形成された前記導電材に対応する部位に少なくとも 1 つのビアホールを形成して、前記ビアホールに導電材を充填し、最上層に形成された第 3 の前記保護膜において、当該第 3 の前記保護膜の前記端子を前記導電材に接続して、当該第 3 の前記保護膜の前記端子を前記電極に電氣的に接続してなることを特徴とする請求項 1 に記載の半導体チップ。

【請求項 4】 能動素子形成面に電極が形成されてなる半導体チップの製造方法において、前記半導体チップの集合体である半導体ウエハの前記電極が設けられた第 1 の面に、絶縁性を有する下部保護膜を形成する第 1 の工程と、前記下部保護膜の、少なくとも前記電極上に設けられた部分を除去する第 2 の工程と、前記下部保護膜に導電膜を形成する第 3 の工程と、前記導電膜の、少なくとも単一の半導体チップとなる領域内に形成された電極同士を接続している部分を除去する第 4 の工程と、前記下部保護膜及び前記導電膜に、絶縁性を有するとともに、少なくとも前記導電膜が被覆される厚さを有する上部保護膜を形成する第 5 の工程と、

前記半導体ウエハを前記半導体チップごとに断裁する第 6 の工程と、を少なくとも有することを特徴とする半導体チップの製造方法。

【請求項 5】 前記第 1 の工程において、前記第 1 の面に有機系材料を塗布することを特徴とする請求項 4 に記載の半導体チップの製造方法。

【請求項 6】 前記第 2 の工程において、前記第 1 の保護膜の、少なくとも前記電極上に設けられた部分をエッチングにより除去することを特徴とする請求項 4 または請求項 5 に記載の半導体チップの製造方法。

【請求項 7】 前記第 3 の工程において、前記下部保護膜にメッキより金属膜を形成することを特徴とする請求項 4 ないし請求項 6 のいずれかに記載の半導体チップの製造方法。

【請求項 8】 前記第 3 の工程と前記第 4 の工程の間に、前記導電膜の前記電極上に形成された部位に導電性材料を配置する工程と、前記第 6 の工程の後に、前記能動素子形成面と略直交する方向から前記半導体チップを加圧するとともに、前記能動素子形成面を加熱する工程と、を有することを特徴とする請求項 4 ないし請求項 7 のいずれかに記載の半導体チップの製造方法。

【請求項 9】 前記第 6 の工程において、前記半導体ウエハの第 2 の面側をウエハシートに貼り付けて、前記半導体ウエハを前記第 1 の面側からハーフダイシングし、前記半導体ウエハを前記第 2 の面側から研磨して前記半導体ウエハを断裁することを特徴とする請求項 4 ないし請求項 8 のいずれかに記載の半導体チップの製造方法。

【請求項 10】 能動素子形成面に電極が形成されてなる半導体チップの製造方法において、前記半導体チップの集合体である半導体ウエハの前記電極が設けられた第 1 の面に、端子材を前記電極上に形成する第 1 の工程と、

前記第 1 の面に、絶縁性を有するとともに、少なくとも前記端子材が被覆される厚さを有する保護膜を形成する第 2 の工程と、

前記半導体ウエハを前記半導体チップごとに断裁する第 3 の工程と、

を少なくとも有し、

前記第 1 の工程において、インクジェットノズルからの吹き付けにより端子材を形成することを特徴とする半導体チップの製造方法。

【請求項 11】 前記第 3 の工程において、前記半導体ウエハの第 2 の面側をウエハシートに貼り付けて、前記半導体ウエハを前記第 1 の面側からハーフダイシングし、

前記半導体ウエハを前記第 2 の面側から研磨して前記半導体ウエハを断裁することを特徴とする請求項 10 に記

載の半導体チップの製造方法。

【請求項 1 2】 能動素子形成面に電極が形成されてなる半導体チップにおいて、絶縁性を有するとともに、前記能動素子形成面に形成されてなる少なくとも 1 層の保護膜と、前記電極に電氣的に接続されるとともに、一部が前記保護膜の側面に露出する端子と、前記端子上に形成されてなり、一部が前記保護膜の側面に露出する導電性材料と、を有する半導体チップ。

【請求項 1 3】 請求項 1 2 記載の半導体チップにおいて、複数層の前記保護膜が形成され、複数の前記端子が形成され、それぞれの前記端子は、いずれかの前記保護膜上に形成されてなる半導体チップ。

【請求項 1 4】 能動素子形成面に電極が形成されてなる半導体チップにおいて、絶縁性を有するとともに、前記能動素子形成面に形成されてなる少なくとも 1 層の保護膜と、前記電極に電氣的に接続された端子と、を有し、前記電極の一部は、前記保護膜の側面に露出してなり、前記端子の一部は、前記保護膜の側面における前記電極の露出部の直上に露出してなる半導体チップ。

【請求項 1 5】 能動素子形成面に電極が形成されてなる半導体チップにおいて、絶縁性を有するとともに、前記能動素子形成面に形成されてなる少なくとも 1 層の保護膜と、前記電極に電氣的に接続されるとともに、前記能動素子形成面の直上において、一部が前記保護膜の側面に露出してなる端子と、を有し、前記電極は、前記保護膜及び前記端子の少なくとも一方によって、露出しないように覆われてなる半導体チップ。

【請求項 1 6】 複数の電極が形成されてなる半導体チップと、前記電極が形成された面に形成されてなる絶縁層と、前記絶縁層の側面から露出する複数の端子と、を有し、いずれかの前記端子と他のいずれかの前記端子とは、前記電極が形成された面から異なる高さで、前記絶縁層の側面から露出してなる半導体装置。

【請求項 1 7】 請求項 1 6 記載の半導体装置において、複数層の前記絶縁層が形成され、それぞれの前記端子は、いずれかの前記絶縁層上に形成されてなる半導体装置。

【請求項 1 8】 請求項 1 7 記載の半導体装置におい

て、

少なくとも 1 つの前記絶縁層には、前記絶縁層の積層方向の電氣的な接続を図るビアが形成されてなり、前記ビアが形成された前記絶縁層よりも上に形成された少なくとも 1 つの前記端子は、前記ビアに電氣的に接続されてなる半導体装置。

【請求項 1 9】 請求項 1 8 記載の半導体装置において、積層された一対の前記絶縁層の間に前記端子が形成されてなる半導体装置。

【請求項 2 0】 請求項 1 6 から請求項 1 9 のいずれかに記載の半導体装置において、隣同士の前記端子のピッチは、隣同士の前記電極のピッチよりも広く形成されてなる半導体装置。

【請求項 2 1】 請求項 1 6 から請求項 2 0 のいずれかに記載の半導体装置において、3 つ以上の前記端子における前記絶縁層からの露出部は、千鳥状に並んでなる半導体装置。

【請求項 2 2】 半導体ウエハの複数の電極が設けられた面に、ダイシングラインをまたいで絶縁層を形成し、導電膜を、前記ダイシングラインをまたいで前記絶縁層に形成し、前記半導体ウエハをダイシングすることを含み、前記ダイシング工程で、前記導電膜及び前記絶縁層を切断して、前記導電膜の切断面を前記絶縁層の切断面から露出させる半導体装置の製造方法。

【請求項 2 3】 半導体チップの複数の電極が形成された面に絶縁層を形成し、複数の端子を形成し、いずれかの前記端子と他のいずれかの前記端子とが、前記電極が形成された面から異なる高さで、前記絶縁層の側面から露出するように、前記複数の端子を形成する半導体装置の製造方法。

【請求項 2 4】 請求項 2 3 記載の半導体装置の製造方法において、複数層の前記絶縁層を形成し、それぞれの前記端子を、いずれかの前記絶縁層上に形成する半導体装置の製造方法。

【請求項 2 5】 請求項 2 4 記載の半導体装置の製造方法において、少なくとも 1 つの前記絶縁層に、前記絶縁層の積層方向の電氣的な接続を図るビアを形成し、前記ビアが形成された前記絶縁層よりも上に、少なくとも 1 つの前記端子を、前記ビアに電氣的に接続して形成する半導体装置の製造方法。

【請求項 2 6】 請求項 2 5 記載の半導体装置の製造方法において、積層された一対の前記絶縁層の間に前記端子を形成する半導体装置の製造方法。

【請求項 2 7】 請求項 2 3 から請求項 2 6 のいずれか

10

20

30

40

50

に記載の半導体装置の製造方法において、隣同士の前記端子のピッチが、隣同士の前記電極のピッチよりも広くなるように、前記複数の端子を形成する半導体装置の製造方法。

【請求項28】 請求項23から請求項27のいずれかに記載の半導体装置の製造方法において、

3つ以上の前記端子が、千鳥状に並ぶように、前記複数の端子を形成する半導体装置の製造方法。

【請求項29】 請求項4から請求項11のいずれかに記載された方法によって製造された半導体チップ。

【請求項30】 請求項22から請求項28のいずれかに記載された方法によって製造された半導体装置。

【請求項31】 請求項16から請求項21のいずれか1つ又は請求項30に記載された半導体装置が搭載された回路基板。

【請求項32】 請求項16から請求項21のいずれか1つ又は請求項30に記載された半導体装置を有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップ及びその製造方法、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【従来の技術】半導体装置の分野においては、近年半導体装置の小型化、軽量化を目的として、単一のパッケージ内に複数の半導体チップを設ける、特に各半導体チップを積層状態に設けるものが多く開発されてきた。このような半導体装置は、マルチチップパッケージ(MCP)、またはマルチチップモジュール(MCM)と呼ばれている。このような装置の具体的な例としては、実開昭62-158840号の発明が挙げられる。すなわち、単一のセラミック・パッケージにおいて複数のチップを積層し、各チップの電極をワイヤーで接続するものである。また、別な事例として、特開平11-135711号の発明のように、インターポーザと呼ばれる配線基板に半導体チップを実装し、インターポーザ同士を相互に接続するとともに、積層して単一の半導体装置とするものである。

【0003】

【発明が解決しようとする課題】ところが、通常の半導体チップにおいては、その周側面において電氣的導通を確保することができない。よって、実開昭62-158840号の発明の場合、積層される半導体チップの大きさが略同一の場合には、最上部に位置する半導体チップ以外のものは、その電極が上位に位置する半導体チップで隠された状態になるので、それらのボンディングは困難となる。また、特開平11-135711号の発明においては、略同一の大きさの半導体チップを積層して単一の半導体装置とすることは容易にできるが、各半導体

チップをインターポーザに実装し、さらにインターポーザ間の電氣的接続を確保するので、実開昭62-158840号の発明よりもはるかに複雑な製造工程を要することになる。

【0004】本発明は、上記問題を解消するためになされたもので、側面から電氣的な接続をとることができる半導体チップ及びその製造方法、半導体装置及びその製造方法、回路基板並びに電子機器を提供することを目的としている。

10 【0005】

【課題を解決するための手段】(1)本発明は、能動素子形成面に電極が形成されてなる半導体チップにおいて、絶縁性を有するとともに、前記能動素子形成面に形成されてなる2層以上の保護膜と、前記電極に電氣的に接続されるとともに、一部を前記保護膜の側面に露出して、前記保護膜毎に形成されてなる端子と、を有することを特徴とする半導体チップである。

20 【0006】このように構成した本発明においては、半導体チップの側面を当該半導体チップの電氣的な接続に利用でき、半導体チップを複数層積層する構成を持つマルチチップパッケージに好適な半導体チップを提供できる。また、端子を保護膜毎に形成、つまり上下に配置された多層構造としているので、電極ピッチがかなり狭隘な場合でも、十分に端子ピッチを確保することができる。

30 【0007】(2)この半導体チップにおいて、前記能動素子形成面に2層の保護膜を積層し、前記能動素子形成面の直上に形成された第1の前記保護膜において、当該第1の前記保護膜の前記電極に対応する部位に少なくとも1つのビアホールを形成して、前記ビアホールに導電材を充填し、前記第1の前記保護膜上に形成された第2の前記保護膜において、当該第2の前記保護膜の前記端子を前記導電材に接続して、当該第2の前記保護膜の前記端子を前記電極に電氣的に接続してもよい。

【0008】これによれば、第2の保護膜の端子を導電材に接続することにより、当該端子と任意の電極とを容易に電氣的に接続できる。

40 【0009】(3)この半導体チップにおいて、前記能動素子形成面に3層以上の保護膜を積層し、前記能動素子形成面の直上に形成された第1の前記保護膜において、当該第1の前記保護膜の前記電極に対応する部位に少なくとも1つのビアホールを形成して、前記ビアホールに導電材を充填し、前記第1の前記保護膜の上方に形成された前記保護膜のうち最上層以外の第2の前記保護膜において、当該第2の前記保護膜の直下の保護膜に形成された前記導電材に対応する部位に少なくとも1つのビアホールを形成して、前記ビアホールに導電材を充填し、最上層に形成された第3の前記保護膜において、当該第3の前記保護膜の前記端子を前記導電材に接続して、当該第3の前記保護膜の前記端子を前記電極に電氣

的に接続してもよい。

【0010】これによれば、端子を3層以上の多層構造とすることができる。よって、例えば、能動素子形成面の縁辺部に形成された電極を第1の保護膜の端子と、縁辺部のやや内側に形成された電極を第2の保護膜の端子と、能動素子形成面の中央に形成された電極を第3の保護膜の端子と接続するなど、半導体チップの電極の形成部位の自由度が高まる。

【0011】(4) 本発明は、能動素子形成面に電極が形成されてなる半導体チップの製造方法において、前記半導体チップの集合体である半導体ウエハの前記電極が設けられた第1の面に、絶縁性を有する下部保護膜を形成する第1の工程と、前記下部保護膜の、少なくとも前記電極上に設けられた部分を除去する第2の工程と、前記下部保護膜に導電膜を形成する第3の工程と、前記導電膜の、少なくとも単一の半導体チップとなる領域内に形成された電極同士を接続している部分を除去する第4の工程と、前記下部保護膜及び前記導電膜に、絶縁性を有するとともに、少なくとも前記導電膜が被覆される厚さを有する上部保護膜を形成する第5の工程と、前記半導体ウエハを前記半導体チップごとに断裁する第6の工程と、を少なくとも有することを特徴とする半導体チップの製造方法である。

【0012】このように構成した本発明においては、側面において電氣的接続を行うことが可能な半導体チップを容易に製造できる。くわえて、1つの保護膜を上部保護膜と下部保護膜との2層からなるものとしたので、端子を能動素子形成面から離隔して設けることが容易にできる。

【0013】(5) この半導体チップの製造方法において、前記第1の工程において、前記第1の面に有機系材料を塗布してもよい。

【0014】これによれば、保護膜を能動素子形成面に自在の厚さで形成することができる。

【0015】(6) この半導体チップの製造方法において、前記第2の工程において、前記第1の保護膜の、少なくとも前記電極上に設けられた部分をエッチングにより除去してもよい。

【0016】これによれば、保護膜を選択的に除去することが容易にできる。

【0017】(7) この半導体チップの製造方法において、前記第3の工程において、前記下部保護膜にメッキより金属膜を形成してもよい。

【0018】これによれば、端子を任意の形状で形成することが容易にできる。

【0019】(8) この半導体チップの製造方法において、前記第3の工程と前記第4の工程の間に、前記導電膜の前記電極上に形成された部位に導電性材料を配置する工程と、前記第6の工程の後に、前記能動素子形成面と略直交する方向から前記半導体チップを加圧すると

もに、前記能動素子形成面を加熱する工程と、を有してもよい。

【0020】これによれば、導電膜上に形成された導電性材料を半導体チップの周側面からせり出させることが容易にできる。

【0021】(9) この半導体チップの製造方法において、前記第6の工程において、前記半導体ウエハの第2の面側をウエハシートに貼り付けて、前記半導体ウエハを前記第1の面側からハーフダイシングし、前記半導体ウエハを前記第2の面側から研磨して前記半導体ウエハを断裁してもよい。

【0022】これによれば、薄型の半導体チップを製造する場合、半導体ウエハを能動素子形成面側からハーフダイシングした後に、裏面を研磨することにより、半導体チップに断裁するので、チップングの発生を低減することができる。また、保護膜を設けているので、上記工程において、当該保護膜が半導体ウエハの補強材の役割を果たす。

【0023】(10) 本発明は、能動素子形成面に電極が形成されてなる半導体チップの製造方法において、前記半導体チップの集合体である半導体ウエハの前記電極が設けられた第1の面に、端子材を前記電極上に形成する第1の工程と、前記第1の面に、絶縁性を有するとともに、少なくとも前記端子材が被覆される厚さを有する保護膜を形成する第2の工程と、前記半導体ウエハを前記半導体チップごとに断裁する第3の工程と、を少なくとも有し、前記第1の工程において、インクジェットノズルからの吹き付けにより端子材を形成することを特徴とする半導体チップの製造方法である。

【0024】このように構成した本発明においては、側面において電氣的接続を行うことが可能な半導体チップを容易に製造でき、端子材を所定の大きさと迅速に形成することができる。なお、端子材については、少なくとも単一の半導体チップに形成された端子材同士が離隔するように形成することが好ましい。また、最初にこれらの端子材同士を一体的に形成し、次にこれらの端子同士をエッチングするなどの方法により離隔させるようにしても良い。

【0025】(11) この半導体チップの製造方法において、前記第3の工程において、前記半導体ウエハの第2の面側をウエハシートに貼り付けて、前記半導体ウエハを前記第1の面側からハーフダイシングし、前記半導体ウエハを前記第2の面側から研磨して前記半導体ウエハを断裁してもよい。

【0026】これによれば、薄型の半導体チップを製造する場合、半導体ウエハを能動素子形成面側からハーフダイシングした後に、裏面を研磨することにより、半導体チップに断裁するので、チップングの発生を低減することができる。また、保護膜を設けているので、上記工程において当該保護膜が半導体ウエハの補強材の役割を

果たす。

【0027】(12) 本発明は、能動素子形成面に電極が形成されてなる半導体チップにおいて、絶縁性を有するとともに、前記能動素子形成面に形成されてなる少なくとも1層の保護膜と、前記電極に電氣的に接続されるとともに、一部が前記保護膜の側面に露出する端子と、前記端子上に形成されてなり、一部が前記保護膜の側面に露出する導電性材料と、を有する半導体チップである。

【0028】このように構成した本発明においては、半導体チップの側面を当該半導体チップの電氣的な接続に利用でき、半導体チップを複数層積層する構成を持つマルチチップパッケージに好適な半導体チップを提供できる。

【0029】(13) この半導体チップにおいて、複数層の前記保護膜が形成され、複数の前記端子が形成され、それぞれの前記端子は、いずれかの前記保護膜上に形成されていてもよい。

【0030】これによれば、端子を保護膜毎に形成、つまり上下に配置された多層構造としているので、電極ピッチがかなり狭隘な場合でも、十分に端子ピッチを確保することができる。

【0031】(14) 本発明は、能動素子形成面に電極が形成されてなる半導体チップにおいて、絶縁性を有するとともに、前記能動素子形成面に形成されてなる少なくとも1層の保護膜と、前記電極に電氣的に接続された端子と、を有し、前記電極の一部は、前記保護膜の側面に露出してなり、前記端子の一部は、前記保護膜の側面における前記電極の露出部の直上に露出してなる半導体チップである。

【0032】このように構成した本発明においては、半導体チップの側面を当該半導体チップの電氣的な接続に利用でき、半導体チップを複数層積層する構成を持つマルチチップパッケージに好適な半導体チップを提供できる。

【0033】(15) 本発明は、能動素子形成面に電極が形成されてなる半導体チップにおいて、絶縁性を有するとともに、前記能動素子形成面に形成されてなる少なくとも1層の保護膜と、前記電極に電氣的に接続されるとともに、前記能動素子形成面の直上において、一部が前記保護膜の側面に露出してなる端子と、を有し、前記電極は、前記保護膜及び前記端子の少なくとも一方によって、露出しないように覆われてなる半導体チップである。

【0034】このように構成した本発明においては、半導体チップの側面を当該半導体チップの電氣的な接続に利用でき、半導体チップを複数層積層する構成を持つマルチチップパッケージに好適な半導体チップを提供できる。

【0035】(16) 本発明に係る半導体装置は、複数

の電極が形成されてなる半導体チップと、前記電極が形成された面に形成されてなる絶縁層と、前記絶縁層の側面から露出する複数の端子と、を有し、いずれかの前記端子と他のいずれかの前記端子とは、前記電極が形成された面から異なる高さで、前記絶縁層の側面から露出してなる。

【0036】本発明によれば、絶縁層の側面から露出する端子によって、電氣的な接続をとることができる。また、高さ方向において異なる位置に複数の端子が露出するので、端子の露出部のピッチを大きくすることができる。

【0037】(17) この半導体装置において、複数層の前記絶縁層が形成され、それぞれの前記端子は、いずれかの前記絶縁層上に形成されていてもよい。

【0038】(18) この半導体装置において、少なくとも1つの前記絶縁層には、前記絶縁層の積層方向の電氣的な接続を図るビアが形成されてなり、前記ビアが形成された前記絶縁層よりも上に形成された少なくとも1つの前記端子は、前記ビアに電氣的に接続されていてもよい。

【0039】こうすることで、絶縁層と端子の多層構造を簡単に形成することができる。

【0040】(19) この半導体装置において、積層された一対の前記絶縁層の間に前記端子が形成されていてもよい。

【0041】(20) この半導体装置において、隣同士の前記端子のピッチは、隣同士の前記電極のピッチよりも広く形成されていてもよい。

【0042】こうすることで、電氣的な接続部のピッチ変換を行うことができる。

【0043】(21) この半導体装置において、3つ以上の前記端子における前記絶縁層からの露出部は、千鳥状に並んでいてもよい。

【0044】こうすることで、大きなピッチをもって端子の露出部を配列することができる。

【0045】(22) 本発明に係る半導体装置の製造方法は、半導体ウエハの複数の電極が設けられた面に、ダイシングラインをまたいで絶縁層を形成し、導電膜を、前記ダイシングラインをまたいで前記絶縁層に形成し、前記半導体ウエハをダイシングすることを含み、前記ダイシング工程で、前記導電膜及び前記絶縁層を切断して、前記導電膜の切断面を前記絶縁層の切断面から露出させる。

【0046】本発明によれば、絶縁層の側面から端子(導電膜)が露出した半導体装置を簡単に製造することができる。絶縁層の側面から露出する端子によって、電氣的な接続をとることができる。

【0047】(23) 本発明に係る半導体装置の製造方法は、半導体チップの複数の電極が形成された面に絶縁層を形成し、複数の端子を形成し、いずれかの前記端子

と他のいずれかの前記端子とが、前記電極が形成された面から異なる高さで、前記絶縁層の側面から露出するように、前記複数の端子を形成する。

【0048】本発明によれば、絶縁層の側面から端子が露出する半導体装置を製造することができる。この半導体装置によれば、端子によって電気的な接続をとることができる。また、高さ方向において異なる位置に複数の端子が露出するので、端子の露出部のピッチを大きくすることができる。

【0049】(24) この半導体装置の製造方法において、複数層の前記絶縁層を形成し、それぞれの前記端子を、いずれかの前記絶縁層上に形成してもよい。

【0050】(25) この半導体装置の製造方法において、少なくとも1つの前記絶縁層に、前記絶縁層の積層方向の電気的な接続を図るビアを形成し、前記ビアが形成された前記絶縁層よりも上に、少なくとも1つの前記端子を、前記ビアに電気的に接続して形成してもよい。

【0051】こうすることで、絶縁層と端子の多層構造を簡単に形成することができる。

【0052】(26) この半導体装置の製造方法において、積層された一対の前記絶縁層の間に前記端子を形成してもよい。

【0053】(27) この半導体装置の製造方法において、隣同士の前記端子のピッチが、隣同士の前記電極のピッチよりも広くなるように、前記複数の端子を形成してもよい。

【0054】こうすることで、電気的な接続部のピッチ変換を行うことができる。

【0055】(28) この半導体装置の製造方法において、3つ以上の前記端子が、千鳥状に並ぶように、前記複数の端子を形成してもよい。

【0056】こうすることで、大きなピッチをもって端子の露出部を配列することができる。

【0057】(29) 本発明に係る半導体チップは、上述した方法によって製造されたものである。

【0058】(30) 本発明に係る半導体装置は、上述した方法によって製造されたものである。

【0059】(31) 本発明に係る回路基板は、上述した半導体装置が搭載されたものである。

【0060】(32) 本発明に係る電子機器は、上述した半導体装置を有する。

【0061】

【発明の実施の形態】以下、本発明の実施の形態を説明するが、本発明は、以下の実施の形態に限定されるものではない。なお、本願には、半導体チップ及び半導体装置に係る発明が記載されているが、いずれの場合でも、半導体チップに保護材、絶縁膜、端子等の部材が設けられている。

【0062】したがって、半導体チップに係る発明を、半導体装置に係る発明として捉えても良いし、その逆も

可能である。また、半導体チップに係る発明の実施の形態について説明した内容は、半導体装置に係る発明の実施の形態に適用しても良いし、その逆も可能である。

【0063】同様に、半導体チップの製造方法に係る発明を、半導体装置の製造方法に係る発明として捉えても良いし、その逆も可能である。また、半導体チップの製造方法に係る発明の実施の形態について説明した内容は、半導体装置の製造方法に係る発明の実施の形態に適用しても良いし、その逆も可能である。

【0064】以下の説明において、いずれかの実施の形態で説明した内容は、他の実施の形態に適用することもできる。

【0065】(第1の実施の形態)図1は、本発明の第1の実施の形態に係る保護膜を多層化した半導体チップを示す断面図である。

【0066】半導体チップ10の能動素子形成面18において、その縁辺近くに電極パッド12Aを設け、その内側の領域に電極パッド12Bを設けている。よって、半導体チップ10は、電極パッド12A、12Bが2列に配置されている。電極パッド12Aは、半導体チップ10の能動素子形成面18の周辺部の相対向する2辺に形成されていてもよいし、当該周辺部の4辺等その他の数の辺に設けられていても良い。電極パッド12A、12Bは、アルミニウム(A1)、アルミニウム-シリコン(A1-Si)、銅、アルミニウム-シリコン-銅(A1-Si-Cu)など一般的に電極や配線として用いられているものであれば、どのような材質のものであっても良い。また、電極パッド12A、12B上に、端子14A又はビアコンタクト24との接続が容易で安定的に行えるように、一般的にアンダーバンプメタルとして知られているような金属層(例えば、Ti-W、Pt-Au、Ni、Cu-Auなど)を形成し、その上に端子14A又はビアコンタクト24を形成しても良い。半導体チップ10の能動素子形成面18または側面22に、ポッティング、蒸着、トランスファーモールドなどの方法で絶縁膜を形成しても良い。

【0067】能動素子形成面18の直上に保護膜(下部保護膜)20Aと、保護膜20Aの上に設けられる保護膜(上部保護膜)20Bとを設けている。半導体チップ10は、電極パッド12A、12Bが設けられている能動素子形成面18の全面に保護膜20A、20Bを設けている。保護膜20A、20Bは、端子14A、14Bを被覆可能な厚さがあればいずれの厚さにしても良い。例えば、半導体チップ10が50 μ mと極めて薄型である場合など、半導体チップ10の補強材としての作用を発揮させるために、例えば50 μ m以上の厚さを持つように形成しても良い。逆に、半導体チップ10が十分な厚さを持つ場合は、端子14A、14Bを被覆可能な最低限必要な厚さにしても良い。

【0068】保護膜20A、20Bは、後述する方法に

より、ポリイミド樹脂から形成されており、柔軟性を有する。ポリイミドは、柔軟性を有するので、外部から加わる衝撃から端子 14 A、14 B を保護する。保護膜 20 A、20 B の材質は、ポリイミド樹脂に限られるものではなく、柔軟性および耐熱性に富むシリコン樹脂および液晶樹脂も好ましく用いることができる。くわえて、PET、ABS、BCB などの樹脂を用いても良い。

【0069】半導体チップ 10 の能動素子形成面 18 は、保護膜 20 A、20 B によって全面的に被覆されているので、能動素子形成面 18 側から電氣的に接続され 10 ない。

【0070】そして、保護膜 20 A において、端子 14 A と、端子 14 A と同一工程において同一形状に形成されるビアコンタクト（ビア）24 とを設けている。さらに、端子 14 A を電極パッド 12 A に接続し、ビアコンタクト 24 を電極パッド 12 B に接続したものとしている。また、保護膜 20 B に形成された端子 14 B は、ビアコンタクト 24 に接続した状態に設けられている。よって、半導体チップ 10 においては、電極パッド 12 A は保護膜 20 A に設けられた端子 14 A によって外部接 20 続可能になされ、電極パッド 12 B は保護膜 20 B に設けられた端子 14 B によって外部接続可能になされている。

【0071】電極パッド 12 A 上には、端子 14 A が電極パッド 12 A に接続されるとともに、能動素子形成面 18 から離隔して設けられている。端子 14 A、14 B は、能動素子形成面 18 から離隔した状態に設けられているので、能動素子形成面 18 に接することに起因する短絡の発生が防止される。また、端子 14 A、14 B は、保護膜 20 A、20 B の側面 28 A、28 B におい 30 て露出部 16 A、16 B が外部に露出しているが、他の部分は保護膜 20 A、20 B によって完全に被覆されている。端子 14 A、14 B の露出部 16 A、16 B 以外の部分が、保護膜 20 A、20 B に被覆されていれば、半導体チップ 10 を複数層積層した際に、上下の半導体チップ 10 間に短絡が発生するのを防止できる。端子 14 A、14 B を金で形成すれば、保護膜 20 の変形に追従する。さらに、端子 14 A、14 B の材質は、金に限られるものではなく、例えば銅（Cu）、ニッケル（Ni）など他の導電性の良い金属を用いても良い。

【0072】以上の構成を有するこの実施の形態においては、保護膜 20 A、20 B の側面 28 A、28 B 側において電極パッド 12 A、12 B と電氣的に接続された端子 14 A、14 B が露出しているので、半導体チップ 10 の側面 22 側から半導体チップ 10 を電氣的に接続することが可能である。

【0073】露出部 16 A、16 B は、側面 28 A、28 B から突出していても良い。外部装置を端子 14 A、14 B に接続する際に、保護膜 20 A、20 B を加圧する、あるいは加熱および加圧すれば、保護膜 20 A、2 50

0 B の側面 28 A、28 B が側方にわずかに膨出し、端子 14 A、14 B の露出部 16 A、16 B がわずかにせりだすので、基板等の外部装置との電氣的導通の確保が容易である。

【0074】以上の構成によれば、端子 14 A、14 B を 2 層にして設けているので、能動素子形成面 18 において電極パッド 12 A を当該面周辺に 2 列に配置しても、その配列に関係なしに当該電極パッド 12 A と外部装置とを電氣的に接続することが可能になる。よって、従来技術に係る半導体チップにおいては、外部との電氣的な接続を確保するために、電極パッドを能動素子形成面の周辺に、極めて狭隘なピッチで配置せざるを得なかったが、この実施の形態においては、電極パッドを広いピッチで設けることができる。

【0075】以上のように、保護膜 20 A、20 B を積層して設けて端子 14 A、14 B を多層化することにより、半導体チップ 10 の能動素子形成面 18 において、電極パッド 12 A、12 B の形成部位に制約がなくなる。また、端子ピッチを相当程度広く確保することができるので、この半導体チップ 10 を接続する基板等の配線パターンの形成が容易になる。

【0076】なお、各保護膜 20 A、20 B の材質を異なるものとしてもよい。また、各保護膜 20 A、20 B の厚さを異なるものとしても良い。さらに、各保護膜 20 A、20 B に形成された端子 14 A、14 B および／またはビア 24 の形状をそれぞれ異なるものとしても良い。くわえて、これらの端子 14 A、14 B および／またはビア 24 の材質についても異なるものとしても良い。また、端子 14 A、14 B において、その露出部 16 A、16 B が各保護膜 20 A、20 B の特定の面に集中するように形成しても良い。

【0077】変形例として、一部または大部分の端子を保護膜の側面から露出しないように形成するとともに、保護膜 20 A、20 B に開口部を設けて、当該端子を露出させても良い。この場合、半導体チップ 10 の周側面 22 側および能動素子形成面 18 側において、電氣的な接続が行えるようになるので、当該半導体チップ 10 に接続される外部装置の形状や端子等の配置などの構成の自由度が高まる。特に、当該半導体チップ 10 を積層して 1 つの半導体装置とする場合、最上層の半導体チップ 10 に対して好適な構成と言える。

【0078】また、各端子に対して、その先端部が保護膜の側面から突出するようにピンを接続して設け、このピンを介してコネクタ等に接続されるものとしても良い。なお、端子とピンとは、ハンダ等によりピンが容易に離脱しないように接続されていることが好ましい。また、保護膜は、ピンの間隔を十分に確保するのに必要な厚さを有することが好ましい。この場合、半導体装置をコネクタ等に直接接続できるので、電子機器の小型化が容易になる。

【0079】（第2の実施の形態）図2は、本発明の第2の実施の形態に係る半導体チップの製造工程の説明図である。

【0080】まず、図2（A）に示すように、電極パッド12を形成した半導体ウエハ30の表面に保護膜材を塗布して保護膜20を形成する。半導体ウエハ30をスピニングコートで回転しながら、保護膜20の材料をポッティングしても良い。これによれば、保護膜20を所定の厚さで形成することが容易にできる。

【0081】次に、図2（B）に示すように、保護膜20にフォトレジストを塗布してフォトレジストの塗布、露光、現像を行い、保護膜20の電極パッド12上に形成されていた部分を除去する。そして、フォトレジストが除去された部分の保護膜20を除去する。保護膜20自体を感光性材料で形成し、保護膜20の露光、現像を行うことにより除去しても良い。

【0082】次に、図2（C）に示すように、メッキにより金属膜34を形成する。なお、金属膜34は、金によって形成することが好ましいが、銅やニッケルも好ましく利用できる。金属膜34の形成方法は、メッキ法に限られるものではなく、所定の形状、厚さで形成可能であればインクジェットによる吹き付けなど他の手段で形成しても良い。

【0083】次に、図2（D）に示すように、金属膜34にフォトレジストを塗布してフォトレジストの塗布、露光、現像を行い、Bに示す領域など金属膜34の不要な部分を除去する。例えば、金属膜34において、単一の半導体チップ10A、10Bとなる領域内に形成された電極パッド12同士を接続している部分を除去する。そして、フォトレジストが除去された部分の金属膜34を除去して端子14を形成する。

【0084】次に、図2（E）に示すように、さらに半導体ウエハ30の表面に保護膜材を塗布して保護膜20を厚くする。なお、その厚さを少なくとも端子14が被覆されるものとする。端子14を被覆する程度の厚さを持つ保護膜20を設ければ、保護膜20が半導体ウエハ30をダイシングするときの補強板の役割を果たす。

【0085】また、2層目に形成される端子の水平部までの厚さだけ保護膜を塗布する。そして、その保護膜において、1層目の保護膜20に形成されたビアコンタクト上の部分を除去してビアホールを形成する。そして、2層目の保護膜上に金属膜を形成する。さらに、その金属膜の所定の部分を除去する。これにより、2層目の端子とビアコンタクトを形成することができる。なお、保護膜を3層以上形成する場合は、以上の工程を繰り返せばよい。また、端子とビアコンタクトとは、短絡の発生を防止するために十分な距離をおく必要がある。よって、上記金属膜の除去は、この点を考慮して行う。

【0086】次に、図2（F）に示すように、図示しないウエハシートを半導体ウエハ30の裏面に貼り付け、

ダイサにより半導体ウエハ30を保護膜20側から半導体チップ10A、10B毎にハーフカットする。なお、ハーフカットする方法としては、ダイサによりダイシングする方法に限らず、半導体ウエハ30とともに、保護膜20をハーフカットすることが可能であるならば、ドライエッチングまたはウェットエッチングでハーフカットしても良い。エッチング法による場合、エッチングの対象毎にエッチングガスまたはエッチング溶液等を切り替えても良い。そして、半導体ウエハ30の裏面側をラッピング装置により研磨して、半導体ウエハ30を複数の半導体チップ10A、10Bに断裁する。なお、ダイサにより半導体ウエハ30をフルカットしても良い。

【0087】以上の工程は、すべてウエハプロセスであり、各半導体チップに対する処理を一括して行うことができる。

【0088】（第3の実施の形態）図3は、本発明の第3の実施の形態において、ハンダボールを設けた半導体チップを示す断面図である。本実施の形態で説明する内容は、他の実施の形態に適用することができる。以下の説明では、第2の実施の形態（図2）で説明した内容と同じ構成には同じ符号を使用する。

【0089】すなわち、図3（A）に示すように、端子14上にハンダボール36を設けるものとする。ハンダボール36も保護膜20に完全に被覆されている。そして、図3（B）に示すように、ハンダボール36を押つぶして、保護膜20の側面28から飛び出すようにし、突出部38を形成する。

【0090】以上の構成によれば、半導体チップを外部装置に実装する際に、突出部38を加熱すると、突出部38が溶融して、突出部38と外部装置の端子等とが直接接続される。さらに、溶融した突出部38が端子14の露出部16に付着して、端子14と外部装置の端子等との接続性を高めるので、半導体チップの実装を容易、かつ確実に行えるようになる。くわえて、ハンダボール36が保護膜20により完全に被覆されるように形成しているので、溶融したハンダボール36が能動素子形成面側に位置するものに付着して、短絡等の問題を発生させる可能性がない。

【0091】なお、端子14は、その上にハンダボール36を設けることを容易にするために、例えば茶碗状などハンダボール36を載せるのに好適な形成に形成することが好ましい。ハンダボール36が、スズまたはスズ系合金（導電性材料）であれば、融点が低いので、比較的低温での加熱処理でも変形させることができる。また、ハンダボール36を設ける代わりに、ハンダペーストや導電性樹脂など他の導電性材料を設けるものとしても良い。このような場合、端子14の形状は、その上に当該導電性材料を設けるのに好適なものにすることが好ましい。導電性材料を導電性ゴムまたは導電性ペーストにより形成してもよい。

【0092】本実施の形態に係るハンダボールを設けた半導体チップは、以下の工程により形成が可能である。すなわち、図2(D)の工程を終えた段階で、端子14上にハンダボール36を配置し、その後図2(E)、(F)に示す工程を行う。そして、図3(A)に示すように、保護膜20を矢印Aに示すように加圧しつつ、保護膜20の端子14近傍、または保護膜20全体を加熱することにより、ハンダボール36を押し潰す。なお、この時の加熱温度は、保護膜20を損なわない範囲で行うことが好ましい。押し潰されたハンダボール36は、その一部が保護膜20の側面から突出して突出部38を形成する。なお、ハンダボール36を押し潰す工程は、半導体チップを基板などに実装する工程と一体に行っても良い。

【0093】(第4の実施の形態)図4は、本発明の第4の実施の形態に係る半導体チップの断面図である。本実施の形態で説明する内容は、他の実施の形態に適用することができる。

【0094】図4(A)に示すように、半導体チップ40は、能動素子形成面42の電極パッド44上に導電性ゴムの端子材46を設け、矢印Aに示す方向に押しつぶしたものである。端子材46は、インクジェットによる吹き付けなどで形成しても良い。押しつぶされた端子材46は、図4(B)に示すように、保護膜48の側面(端面)50から押し出されて、突出部52を有する端子54となる。ポッティングにより保護膜48を形成する場合、その材料の動粘度が低ければ、端子材46周辺の隅部や細かい隙間にまで当該材料が行き渡る。

【0095】本実施の形態においては、半導体チップ40を押圧しつつ加熱することにより、端子材46の先端部が半導体チップ40の周側面にせり出すように塑性加工することが容易にできる。また、端子14が柔軟性を有する導電性ゴムに形成されているので、外部装置との接続が容易にできる。

【0096】(第5の実施の形態)図5は、本発明の第5の実施の形態に係る半導体チップの断面図である。本実施の形態で説明する内容は、他の実施の形態に適用することができる。

【0097】図5に示すように、半導体チップ40の能動素子形成面42には、保護膜48がその全面に渡って形成されている。また、能動素子形成面42の電極パッド44上にのみ端子56が設けられるとともに、電極パッド44および端子56の一部が保護膜48の側面50側に露出している。また、端子56は、ハンダで形成されている。さらに、保護膜48は、熱硬化性樹脂によって形成されている。電極パッド44の材質等については、本発明の第1の実施の形態と同様である。

【0098】以上の構成によれば、電極パッド44および端子56の一部が保護膜48の側面50側に露出しているため、本発明の第1の実施の形態と同様に半導体チ

ップ40の側面58側から電氣的に接続することが可能である。なお、端子56は、ハンダの他に、金、銅などの金属や、それらの複合材料、導電性ペーストなどの有機導電材料など、他の導電性材料で形成しても良い。また、保護膜48は、熱硬化性樹脂のほかに、本発明の第1の実施の形態と同じ樹脂を用いても良い。

【0099】さらに、本実施の形態に係る半導体チップを積層した半導体装置の例について述べる。図6は、本実施の形態に係る半導体チップ40A、40Bを積層して構成された半導体装置を示したものである。積層された半導体チップ40A、40Bは、接着剤60によって相互に接着されており、くわえて、それぞれの電極パッド44A、44Bおよび端子56A、56Bがワイヤ62によって接続されている。また、半導体チップ40A上に設けられた2層目の保護膜48Aから露出する端子(図示せず)と、半導体チップ40B上に設けられた2層目の保護膜(図示せず)から露出する端子(図示せず)と、がワイヤ62によって電氣的に接続されている。

【0100】さらに、外部接続用ワイヤ64によって図示しない外部装置に接続されている。なお、ワイヤ62は金により形成されている。接着剤60は、エポキシ系などの絶縁性がある樹脂を用いたものであればどのようなものでも良い。

【0101】半導体装置は、同一の大きさの半導体チップを積層する場合でも、半導体チップ40A、40Bの側面58A、58B側に露出した電極パッド44A、44Bおよび端子56A、56Bを利用することによって、相互接続が容易にでき、外部装置との接続も外部接続用ワイヤ64を介して容易にできる。さらに、半導体チップの相互接続のためにインターポーザのような補助的手段を利用する必要がない。

【0102】なお、積層する半導体チップは、この構成により積層が可能な限り何層積層しても良い。また、ワイヤの62の材質は、金に限られるものではなく、アルミニウムなど他の金属を適宜利用しても良い。また、半導体チップ40A、40Bの間に放熱板を挟み込んで積層する構成にしても良い。さらに、以上の例においては、半導体チップ40A、40B相互の接続、および外部装置との接続を、ワイヤによって行うものとしたが、印刷により配線パターンを形成する、ヒートシールを貼り付けるなど、他の方法によって行っても良い。

【0103】(第6の実施の形態)次に、本発明の第6の実施の形態に係る半導体チップの製造方法について述べる。図7は、本実施の形態に係る半導体チップの製造工程の説明図である。

【0104】まず、図7(A)に示すように、半導体ウエハ66の電極パッド44上にハンダペースト68を塗布して加熱する。なお、図7(A)に示したように、隣接する半導体チップ40の電極パッド44間の半導体ウ

エハ 66 の表面にハンダペースト 68 を塗布しても良い。また、電極パッド 44 上にメッキ、印刷、ボール搭載などの方法で形成しても良い。

【0105】次に、図 7 (B) に示すように、半導体ウエハ 66 上に保護膜 48 を塗布する。なお、ポッティング、蒸着、トランスファーモールドなどの方法で当該部分を保護する保護膜 48 を形成しても良い。なお、2 層目の保護膜及び端子の形成方法は、第 2 の実施の形態で説明した内容を適用してもよい。

【0106】次に、図 7 (C) に示すように、図示しないウエハシートを半導体ウエハ 66 の裏面に貼り付け、ダイサにより半導体ウエハ 66 を保護膜 48 側から半導体チップ毎にハーフカットする。なお、ハーフカットする方法としては、ダイサによりダイシングする方法に限らず、半導体ウエハ 66 とともに、保護膜 48 をハーフカットすることが可能であるならば、ドライエッチングまたはウェットエッチングでハーフカットしても良い。エッチング法による場合、エッチングの対象毎にエッチングガスまたはエッチング溶液等を切り替えても良い。そして、半導体ウエハ 66 の裏面側をラッピング装置により研磨して、半導体ウエハ 66 を半導体チップ 40 に断裁する。なお、ダイサにより半導体ウエハ 66 をフルカットしても良い。

【0107】半導体ウエハ 66 は、図 7 (C) に示すように電極パッド 44 が露出するように切断してもよい。例えば、ハンダペースト 68 を切断しながら電極パッド 44 の端部もわずかに削る。あるいは、図 7 (D) に示すように電極パッド 44 が露出しないように半導体ウエハ 66 を切断してもよい。例えば、複数の電極パッド 44 の間隔よりも狭い切り溝によって、半導体ウエハ 66 を切断する。こうすることで、電極パッド 44 は、ハンダペースト 68 によって覆われ、保護膜 48 の側面 50 から露出しないようになる。いずれの場合でも、ハンダペースト 68 における保護膜 48 の側面に露出する部分は、端子となる。この端子は、半導体チップの能動素子形成面の直上に形成されたものである。

【0108】以上の工程は、すべてウエハプロセスであり、各半導体チップに対する処理を一括して行うことができる。

【0109】(第 7 の実施の形態) 図 8 は、本発明の第 7 の実施の形態に係る半導体チップを説明する図である。図 8 に示すように、保護膜を 3 層積層させても良い。すなわち、半導体チップ 70 の能動素子形成面 72 に保護膜 80 A、80 B、80 C を積層させて設ける。そして、保護膜 80 B に形成された端子 74 B をビアコンタクト 76 A を介して電極パッド 78 B に接続し、保護膜 80 C に形成された端子 74 C をビアコンタクト 76 B および 76 A を介して電極パッド 78 C に接続する。なお、電極パッドは、電極パッド 78 A、78 B、78 C の順に内側に向かって配列されている。さらに、

ある層のビアコンタクトにその上層のビアコンタクトを接続すれば、保護膜を 4 層以上積層させることも可能である。なお、電極パッドの配列は、3 列に限られるものではなく、4 列以上、あるいは能動素子の配置等に応じて適当な位置に設けても良い。

【0110】(第 8 の実施の形態) 図 9 は、本発明の第 8 の実施の形態に係る半導体装置を示す図である。本実施の形態は、第 1 の実施の形態に係る半導体チップを積層した半導体装置を 2 個接続したものである。すなわち、半導体チップ 10 を複数個積層した半導体装置 82 A と、半導体チップ 10 を複数個積層した半導体装置 82 B と、を並置した状態で接続したものである。また、半導体装置 82 A と半導体装置 82 B との間には、異方性導電膜 84 が設けられている。

【0111】図 9 に示したように、第 1 の実施の形態に係る半導体チップ 10 を積層した半導体装置は、複数個並置して接続することが容易にできる。また、異方性導電膜 84 を半導体装置間に介在させたので、異方性導電膜 84 に含有される導電粒子が端子 14 A、14 B 間の接続の確実性を高める。

【0112】(第 9 の実施の形態) 図 10 は、本発明の第 9 の実施の形態に係る半導体装置を示す図である。この半導体装置は、異なる大きさの半導体チップを積層して一体としたものである。すなわち、保護膜を多層化した半導体チップ 90 A において、保護膜 96 A 上に、半導体チップ 90 A と大きさの異なる別の半導体チップ 90 B を設けている。また、半導体チップ 90 A の電極パッド 92 A は、端子 94 A と接続されて外部装置との接続が可能に設けられている。また、半導体チップ 90 A の他の電極パッド (図示せず) は、端子 94 B と接続されて外部装置との接続が可能に設けられている。電極パッド 92 B は、ビアコンタクト 98 を介して端子 94 C と接続されている。くわえて、端子 94 C は半導体チップ 90 B の電極パッド 92 C に接続されている。なお、半導体チップ 90 B は、保護膜 96 B によって封止されている。

【0113】以上の構成によれば、半導体装置は、異なる大きさの半導体チップを積層して 1 つの半導体チップとすることが可能である。また、積層される半導体チップ間の電氣的接続を確保できる上、外部との電氣的接続も容易である。さらに、上方の半導体チップ 90 B を保護膜 96 B によって封止しているので、電極パッド 92 C 周辺などへの水分等の侵入を防止することができる。

【0114】なお、積層される保護膜の層数を増やして、半導体チップの積層数を増やしても良い。また、半導体チップのほかに、抵抗やコンデンサ等の受動素子を設けても良い。さらに、半導体チップを封止する保護膜と他の保護膜との材質を異なるものとしてもよい。また、これらの保護膜の厚さを異なるものとしてもよい。さらに、これらの保護膜に形成された端子および/また

はビアの形状をそれぞれ異なるものとしても良い。くわえて、これらの端子および／またはビアの材質についても異なるものとしても良い。

【0115】（第10の実施の形態）図11は、本発明の第10の実施の形態に係る半導体装置を基板に実装した状態を示す断面図である。図11に示すように、半導体チップ100を積層して1つの半導体装置としている。さらに、半導体装置を基板102に異方性導電膜84を用いて実装している。また、半導体チップ100に保護膜104A、104Bを積層して設け、それぞれに形成された端子106A、106Bの露出部108A、108Bが、保護膜104A、104Bの基板102の配線パターン88との接続面に集中するように形成している。

【0116】以上の構成によれば、端子106A、106Bの露出部108A、108Bが保護膜104A、104Bの基板102の配線パターン88との接続面に集中しているので、基板102に積層された半導体チップ100の1つの側面を接続するだけで、当該半導体装置の実装を行うことができる。

【0117】本実施の形態においては、側面において電氣的接続が可能な半導体チップを積層するので、略同一の大きさの半導体チップを積層することができる。

【0118】（第11の実施の形態）図12及び図13は、本発明を適用した第11の実施の形態に係る半導体装置を示す図である。なお、図13は、半導体装置の側面図であり、図12は、図13のXII-XII線断面図である。

【0119】本実施の形態に係る半導体装置は、半導体チップ110を有する。半導体チップ110の平面形状は一般的には矩形である。半導体チップの一方の面に、複数の電極112が形成されている。電極112は、半導体チップ110の面の少なくとも1辺（多くの場合、2辺又は4辺）に沿って並んでいる（ペリフェラル型）。また、電極112は、半導体チップ110の面の中央部に並んでいてもよい。あるいは、電極112は、半導体チップ110の面の端部及び中央部に並んで面配列されている場合がある（エリアアレイ型）。各電極112は、アルミニウムなどで薄く平らに形成されたパッドと、その上に形成されたバンプと、からなることが多い。バンプが形成されない場合は、パッドのみが電極となる。電極112の少なくとも一部を避けて半導体チップ110には、パッシベーション膜（図示しない）が形成されている。パッシベーション膜は、例えば、 SiO_2 、 SiN 、ポリイミド樹脂などで形成することができる。パッシベーション膜は電氣的に絶縁性を有する層である。

【0120】パッシベーション膜以外に、半導体チップ110の電極112が形成された面に絶縁層120が形成されている。絶縁層120は、電氣的に絶縁性を有す

る。本実施の形態では、絶縁層120は、複数層の絶縁層（例えば第1～第3の絶縁層）121～123からなるが、1層からなる場合であってもよい。複数層の絶縁層121～123は、外見上複数層に見える場合や、それぞれの材料が異なる場合などがある。製造工程において、複数層の絶縁層121～123を順に形成しても、同一材料で各層を形成して外見上1層に見えれば、その絶縁層120は1層とみなしてもよい。あるいは、少なくとも境界が表れていれば複数層とみなしてもよい。

【0121】絶縁層120は、応力を吸収する程度に変形するが、一定の形状を維持できる性質を有していることが好ましい。ただし、このことは本発明の必須要件ではない。例えば、ポリイミド樹脂等を使用してもよく、中でもヤング率が低いもの（例えばオレフィン系のポリイミド樹脂等）を用いることが好ましい。ヤング率は、 300 kg/mm^2 以下程度であることが好ましい。あるいは、絶縁層120として、シリコン変性ポリイミド樹脂、エポキシ樹脂やシリコン変性エポキシ樹脂等を用いてもよい。このような材料で絶縁層120を形成することで、電極112と配線114又はビア116との接合部への応力集中を低減することができる。あるいは、絶縁層120として、第1の実施の形態で説明した保護膜20A、20Bを形成するための材料を使用してもよい。絶縁層120も保護膜となる場合がある。

【0122】半導体チップ110の電極112には、配線114又はビア116が電氣的に接続されている。例えば、電極112上に、配線114又ビア116が直接接合されている。

【0123】配線114は、横方向（半導体チップ110の面と平行な方向）に電氣的な接続を図る部分である。配線114は、銅（Cu）、クローム（Cr）、チタン（Ti）、ニッケル（Ni）、チタニウム（Ti-W）、金（Au）、アルミニウム（Al）、ニッケルバナジウム（NiV）、タングステン（W）のうちのいずれかを積層して、あるいはいずれかの一層で形成することができる。

【0124】電極112に接合された配線114は、電氣的な絶縁が十分に図れるのであれば、図示しないパッシベーション膜上に形成してもよい。電極112が半導体チップ110の端部にのみ形成されていれば、配線114は、端部に位置する電極112から中央に向かう部分を有する。例えば、図12において、半導体チップ110の左端に位置する電極112は、紙面の裏面方向（図13では右方向）に延びる部分を有する。

【0125】複数の絶縁層121～123が形成されている場合、各配線114を、いずれかの絶縁層121

（122）上に形成してもよい。本発明で必須要件ではないが、本実施の形態では、配線114の上に、いずれかの絶縁層122（123）が形成されている。したがって、最も半導体チップ110から離れた位置にある配

線 114 は、最上層に位置する絶縁層 123 の下に形成されている。こうすることで、配線 114 の表面が絶縁層 121 ~ 123 によって覆われて保護される。

【0126】異なる絶縁層 121 ~ 123 上に形成された配線 114 は、ビア 116 によって電氣的に接続されている。すなわち、ビア 116 が形成された絶縁層（例えば 122）よりも上に形成された配線 114 は、そのビア 116 に電氣的に接続されている。ビア 116 と配線 114 とは一体的に形成してあってもよい。

【0127】ビア 116 は、縦方向（絶縁層 120 の厚さ方向又は複数の絶縁層 121 ~ 123 の積層方向）に電氣的な接続を図る部分である。ビア 116 も、上述した配線 114 を形成するための材料で形成することができる。電極 112 が面配列された場合（エリアアレイ型チップ）のように、半導体チップ 110 の面上に配線 114 を形成するスペースがない場合や、パッシベーション膜だけでは電氣的な絶縁が不十分である場合には、全ての電極 112 上に、ビア 116 を設けてもよい。その場合、配線 114 は、電極 112 には直接接合されず、ビア 116 から延びるように形成される。また、電極 112 が形成された面（例えばパッシベーション膜の表面）には絶縁層 120 が形成され、電極 112 が形成された面と配線 114 との間には、絶縁層 120 の一部（複数層の絶縁層のうちの少なくとも 1 層であってもよい）が介在する。

【0128】ビア 116 は、複数の絶縁層 121、122 のいずれかを貫通して電氣的な接続を図る。ビア 116 は、絶縁層 121、122 に形成されたビア孔 124、128（図 14（A）～図 15（E）参照）に設けられた導電膜 126、134 からなる。ビア孔 124、128 は、テーパが付された壁面によって形成されてすり鉢状をなしていてもよいし、垂直に立ち上がる壁面によって形成されて円筒状をなしていてもよい。ビア孔 124、128 に導電体が充填されていてもよいし（フィルドビア）、ビア孔 124、128 の壁面に導電膜 126、134 が形成されてもよい（コンフォーマルビア）。

【0129】ビア 116 は、1 層の絶縁層（121 又は 122）の両面間の電氣的な接続を図るものであってもよい。あるいは、2 層以上の隣り合う絶縁層（例えば 121、122）を併せてなる層の両面間を電氣的に接続するものであってもよい（スキップビア）。ビア 116 は、電極 112、配線 114、他のビア 116 のうちいずれかの上に形成される。

【0130】絶縁層 120 の側面から露出して、複数の端子 118 が設けられている。本実施の形態では、各端子 118 は、いずれかの配線 114 の端部である。配線 114 が、積層された一対の絶縁層（例えば 122、123）間に形成されていれば、端子 118 も、その一対の絶縁層（例えば 122、123）間に形成される。

【0131】複数の端子 118 は、絶縁層 120 のいずれか 1 つの側面のみに露出して形成されていてもよいし、複数の側面に露出して形成されていてもよい。

【0132】少なくとも 1 つの端子 118 は、いずれかの電極 112 に電氣的に接続されている。全ての端子 118 が複数の電極 112 に電氣的に接続されていてもよい。複数の電極 112 に電氣的に接続された複数の端子 118 同士が電氣的に接続されていてもよい。あるいは、電極 112 に電氣的に接続されない複数の端子 118 同士が電氣的に接続されていてもよい。あるいは、GND に電氣的に接続される端子 118 を、他の部材（例えば放熱部材や補強部材など）に電氣的に接続してもよい。

【0133】端子 118 は、複数列（図 13 に示す 2 列に限らず 3 列以上でもよい）で並んで露出している。すなわち、いずれかの端子 118 と、他のいずれかの端子 118 とは、半導体チップ 110 から異なる高さに位置する。本実施の形態では、複数（3 つ以上）の端子 118 が、千鳥状（千鳥格子状）に並んでいる。このような配列によれば、隣同士の端子 118 のピッチを大きくすることができる。特に、半導体チップ 110 の電極 112 のピッチよりも、端子 118 のピッチを大きくすることができる。すなわち、電極 112 のピッチが狭い場合には、本発明を適用することで、ピッチ変換を行うことができる。

【0134】端子 118 は、絶縁層 120 の側面から露出していれば、絶縁層 120 と面一であってもよいし、絶縁層 120 から窪んでいてもよいし、絶縁層 120 から突出していてもよい。配線 114 の端部に、ハンダボールなどのろう材を設けることで端子 118 を形成してもよい。

【0135】本実施の形態に係る半導体装置は、上述したように構成されており、以下その製造方法を説明する。図 14（A）～図 15（E）は、本実施の形態に係る半導体装置の製造方法を説明する図である。図 15（E）には、この方法によって製造された半導体装置を、図 13 に示す半導体装置の XV-XV 線断面に対応して示してある。

【0136】図 14（A）に示すように、半導体ウエハ 130 を用意する。半導体ウエハ 130 には、複数の電極 112 が形成されている。なお、図 14（A）には、一部の電極 112 を省略してある。半導体ウエハ 130 における電極 112 を有する面に、絶縁層 121 を設ける。液状の材料で絶縁層 121 を形成してもよい。例えば、半導体ウエハ 130 をスピンコートで回転しながら、絶縁層 121 の材料をポッティングしても良い。これによれば、絶縁層 121 を所定の厚さで形成することが容易にできる。絶縁層 121 は、後述するダイシングラインをまたいで形成する。半導体ウエハ 130 における電極 112 が形成された面の全面に絶縁層 121 を形

成してもよい。

【0137】図14 (B) に示すように、絶縁層121から電極112を露出させる。予め電極112が露出するように絶縁層121を形成してもよいが、電極112を覆うように絶縁層121を形成してから、その一部を除去してもよい。例えば、絶縁層121における電極112上に、ビア孔124を形成してもよい。図14

(B) に示すビア孔124は、すり鉢状をなしているが、円筒状をなしていてもよいし、それ以外の形状であってもよい。

【0138】ビア孔124を形成するために、絶縁層121は、エネルギー感応性（例えば感光性）を有することが好ましい。そうすれば、マスク（例えばフォトリソマスク）を使用して、ビア孔124を簡単に形成することができる。あるいは、絶縁層121上に、レジストを形成してパターンニング（露光、現像）し、これをマスクとして絶縁層121をエッチングしてもよい。

【0139】図14 (C) に示すように、絶縁層121上に導電膜126を形成する。絶縁層121の表面の全面に導電膜126を形成してもよい。絶縁層121から電極112が露出しているので、電極112及び絶縁層121上に導電膜126を形成する。

【0140】導電膜126は、配線114の材料として前述したもので形成する。例えば、メッキ（特に無電解メッキ）で導電膜126を形成することができる。

【0141】図14 (D) に示すように、導電膜126を、ビア116及び配線（図12参照）を含むようにパターンニングする。例えば、リソグラフィ技術を適用して、導電膜126をエッチングしてもよい。あるいは、直接、ビア116及び配線（図12参照）を含むように、導電膜126を形成してもよい。その場合には、インクジェットによる吹き付けを適用しても良いし、パターンニングされたレジストを形成してから無電解メッキを施すなどの方法を適用してもよい。

【0142】また、導電膜126は、ダイシングライン132をまたぐ部分を有するようにパターンニングしてもよい。こうすることで、ダイシングによって、導電膜126の端部を、絶縁層121から露出させることができる。導電膜126の露出した部分は、端子118となる。

【0143】図14 (E) に示すように、パターンニングされた導電膜126上に、絶縁層122を形成する。絶縁層122は、ダイシングライン132をまたぐように形成する。絶縁層122は、導電膜126を全て覆っていてもよい。

【0144】図15 (A) に示すように、絶縁層122にビア孔128を形成する。ビア孔128は、絶縁層121に形成されたビア116又は配線（図示せず）上に形成する。

【0145】図15 (B) に示すように、絶縁層122

上に導電膜134を形成し、図15 (C) に示すように導電膜134をパターンニングし、図15 (D) に示すように、絶縁層123を形成する。その詳細については、図14 (C) ～図14 (E) を参照して説明した内容が該当する。

【0146】図15 (E) に示すように、半導体ウエハ130をダイシングして、個々の半導体装置を得る。ここで、導電膜126（導電膜134については図示せず）におけるダイシングラインをまたぐ部分が切断される。その結果、導電膜126の切断面が絶縁層120から露出して端子118が形成される。

【0147】本実施の形態によれば、端子118を簡単に形成することができる。なお、上記製造方法において、上述した半導体装置の構成に起因する形状や構造を得られるように、工程が行われる。また、上記製造方法では、半導体ウエハ130から複数の半導体装置を製造したが、半導体チップ110を加工して個々の半導体装置を製造してもよい。

【0148】図16には、本発明を適用した半導体装置1を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅からなる配線パターン1100が所望の回路となるように形成されていて、それらの配線パターン1100と半導体装置の端子とを機械的に接続することでそれらの電気的導通を図る。

【0149】そして、本発明を適用した半導体装置を有する電子機器2000として、図17には、ノート型パーソナルコンピュータ2000が示されており、図18には携帯電話3000が示されている。

【0150】なお、本実施の形態で使用した半導体チップの代わりに電子素子（能動素子か受動素子かを問わない）を使用して電子部品を製造することができる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体チップの断面図である。

【図2】本発明の第2の実施の形態に係る半導体チップの製造工程の説明図である。

【図3】本発明の第3の実施の形態において、ハンダボールを設けた半導体チップを示す断面図である。

【図4】本発明の第4の実施の形態に係る半導体チップの断面図である。

【図5】本発明の第5の実施の形態に係る半導体チップの断面図である。

【図6】本発明の第5の実施の形態に係る半導体チップを積層してなる半導体装置の一例を示す断面図である。

【図 7】本発明の第 6 の実施の形態に係る半導体チップの製造工程の説明図である。

【図 8】本発明の第 7 の実施の形態に係る半導体チップの断面図である。

【図 9】本発明の第 8 の実施の形態に係る半導体チップを積層した半導体装置を 2 個接続した状態を示す断面図である。

【図 10】本発明の第 9 の実施の形態に係る半導体チップの断面図である。

【図 11】本発明の第 10 の実施の形態に係る半導体チップを積層してなる半導体装置を基板に実装した状態を示す断面図である。

【図 12】本発明の第 11 の実施の形態に係る半導体チップの断面図である。

【図 13】本発明の第 11 の実施の形態に係る半導体チップの側面図である。

【図 14】本発明の第 11 の実施の形態に係る半導体チップの製造工程の説明図である。

【図 15】本発明の第 11 の実施の形態に係る半導体チップの製造工程の説明図である。

【図 16】本発明を適用した実施の形態に係る回路基板を示す図であり、

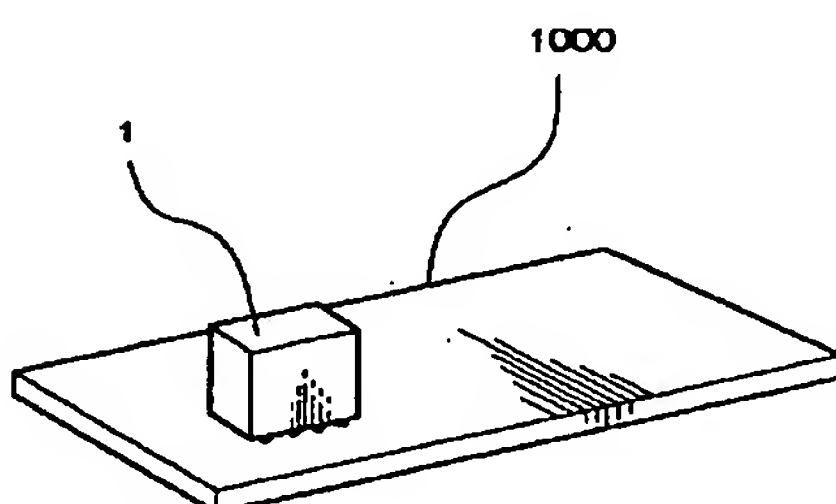
【図 17】本発明を適用した実施の形態に係る電子機器を示す図であり、

【図 18】本発明を適用した実施の形態に係る電子機器を示す図である。

【符号の説明】

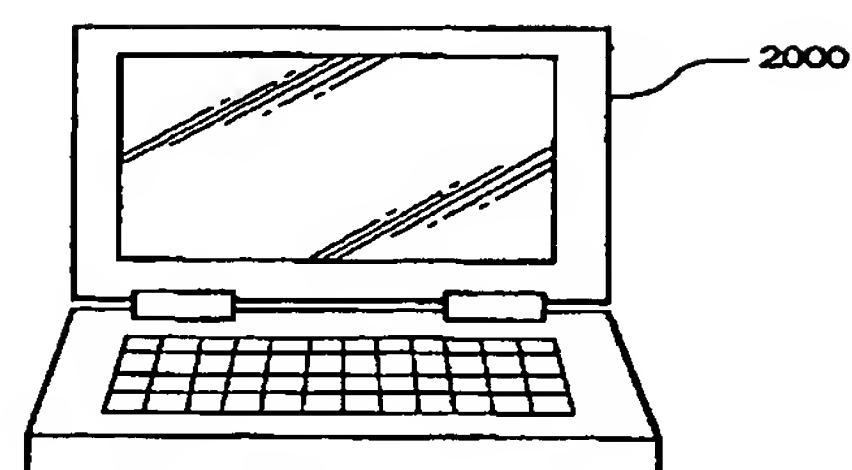
10 半導体チップ
10A 半導体チップ
10B 半導体チップ
12 電極パッド
12A 電極パッド
12B 電極パッド
14 端子
14A 端子
14B 端子
16A 露出部
16B 露出部
18 能動素子形成面
20 保護膜

【図 16】

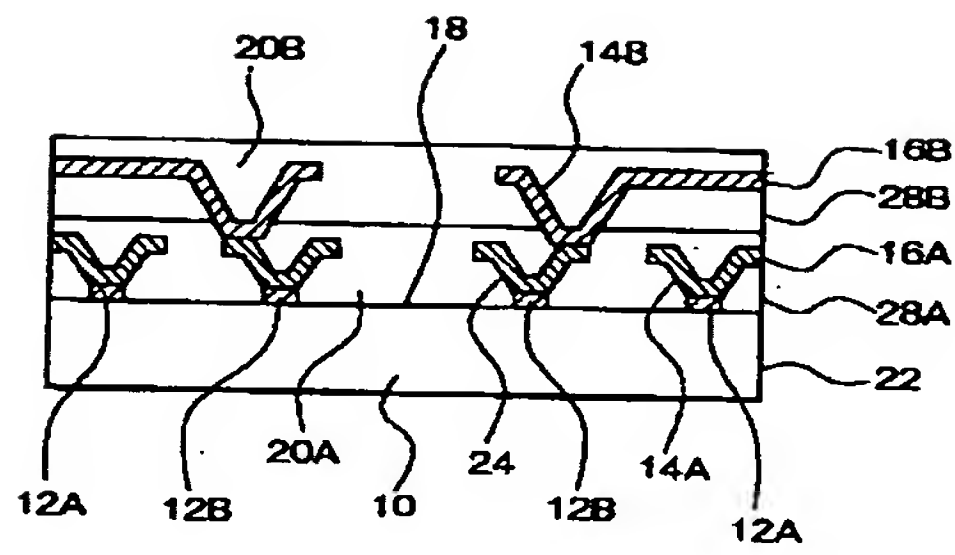


20A 保護膜
20B 保護膜
22 側面
24 ピアコンコンタクト
28 側面
28A 側面
28B 側面
30 半導体ウエハ
32 能動素子形成面
34 金属膜
40 半導体チップ
40A 半導体チップ
40B 半導体チップ
42 能動素子形成面
44 電極パッド
46 端子材
48 保護膜
48A 保護膜
50 側面
54 端子
56 端子
56A 端子
56B 端子
58 側面
58A 側面
58B 側面
66 半導体ウエハ
70 半導体チップ
72 能動素子形成面
74A 端子
74B 端子
74C 端子
76A ピアコンタクト
76B ピアコンタクト
78A 電極パッド
78B 電極パッド
80A 保護膜
80B 保護膜
80C 保護膜

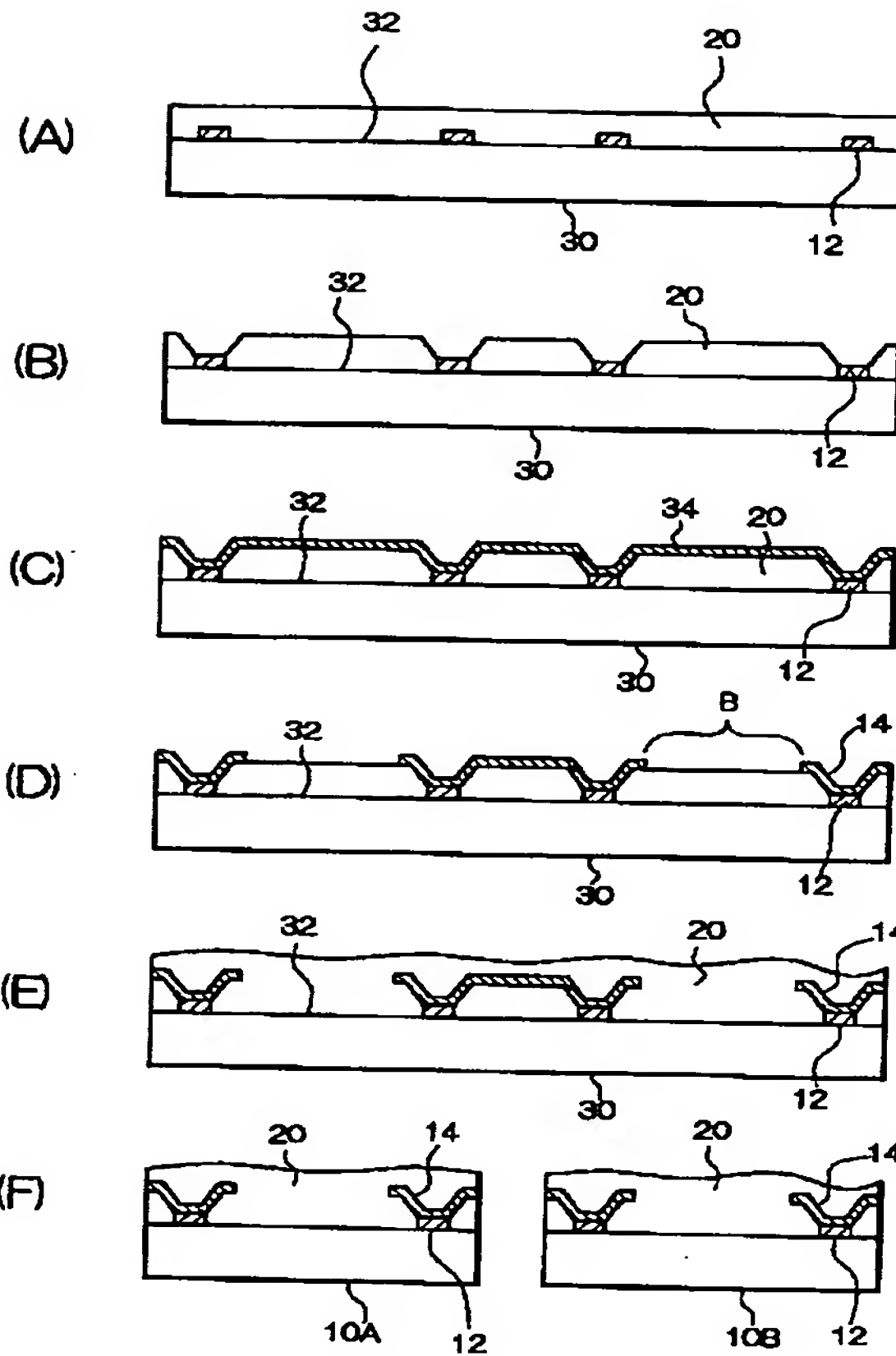
【図 17】



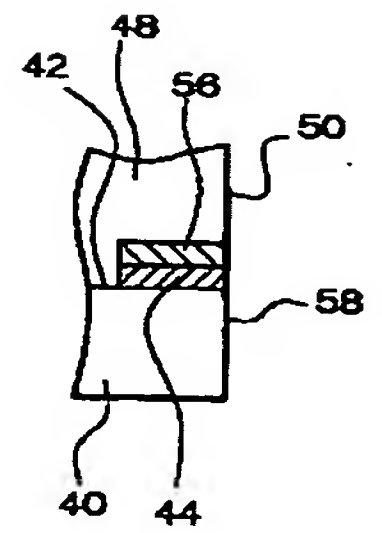
【図 1】



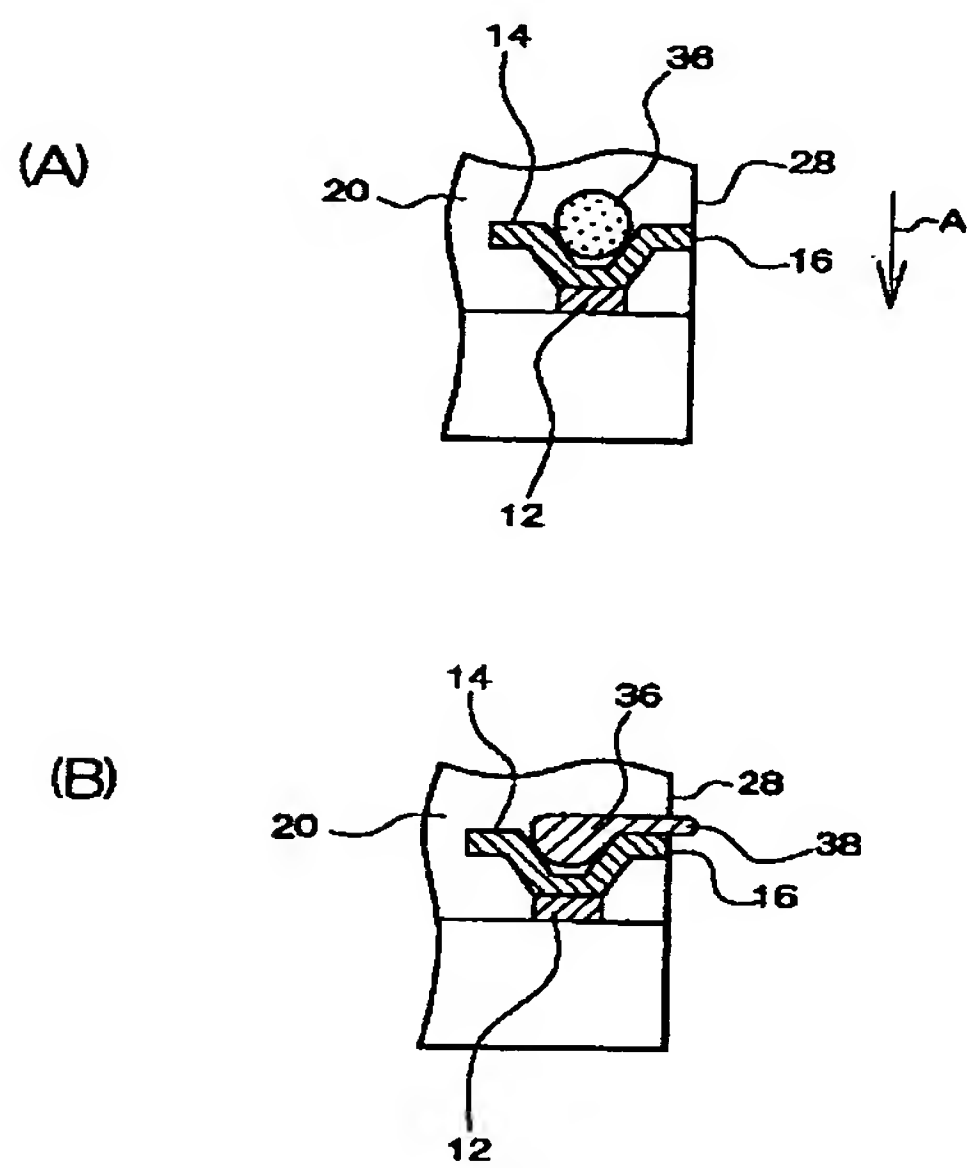
【図 2】



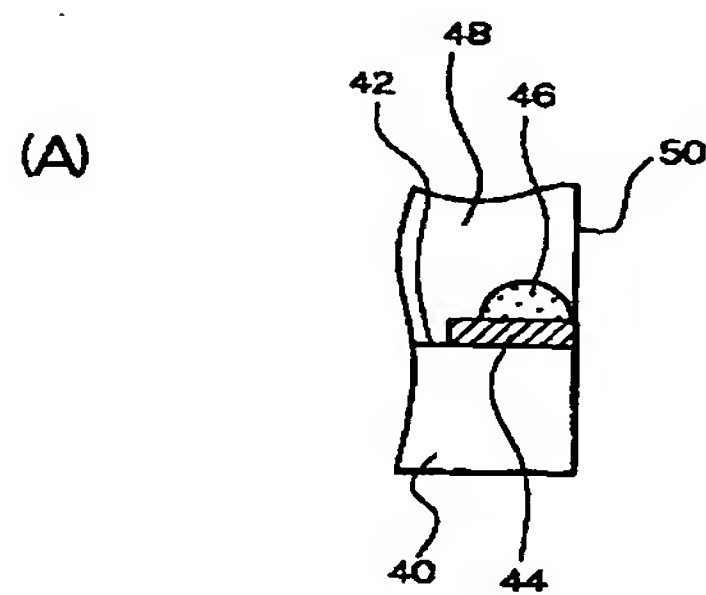
【図 5】



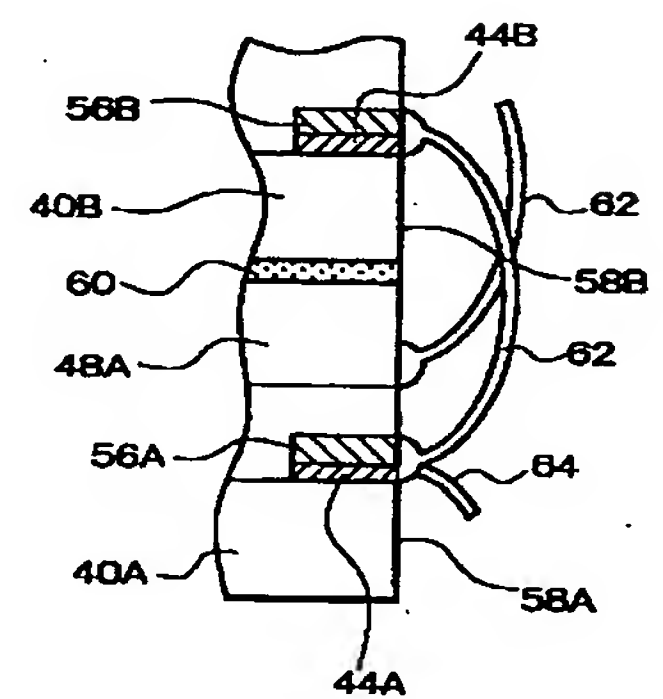
【図 3】



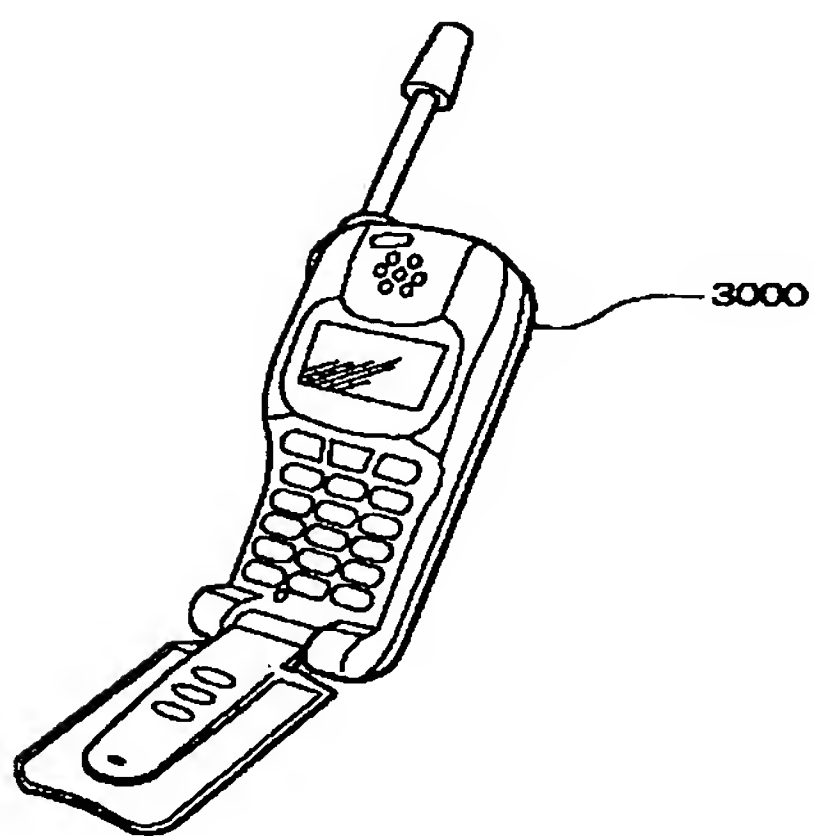
【図 4】



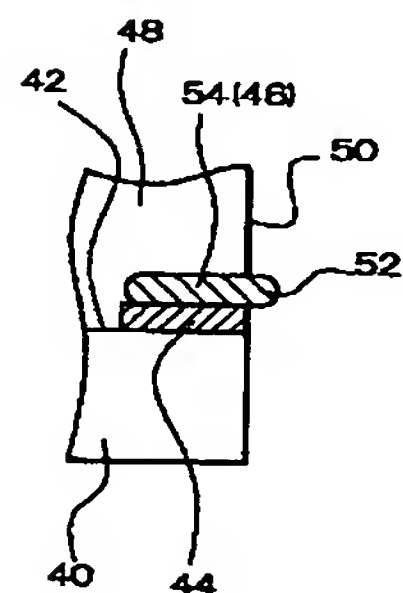
【図 6】



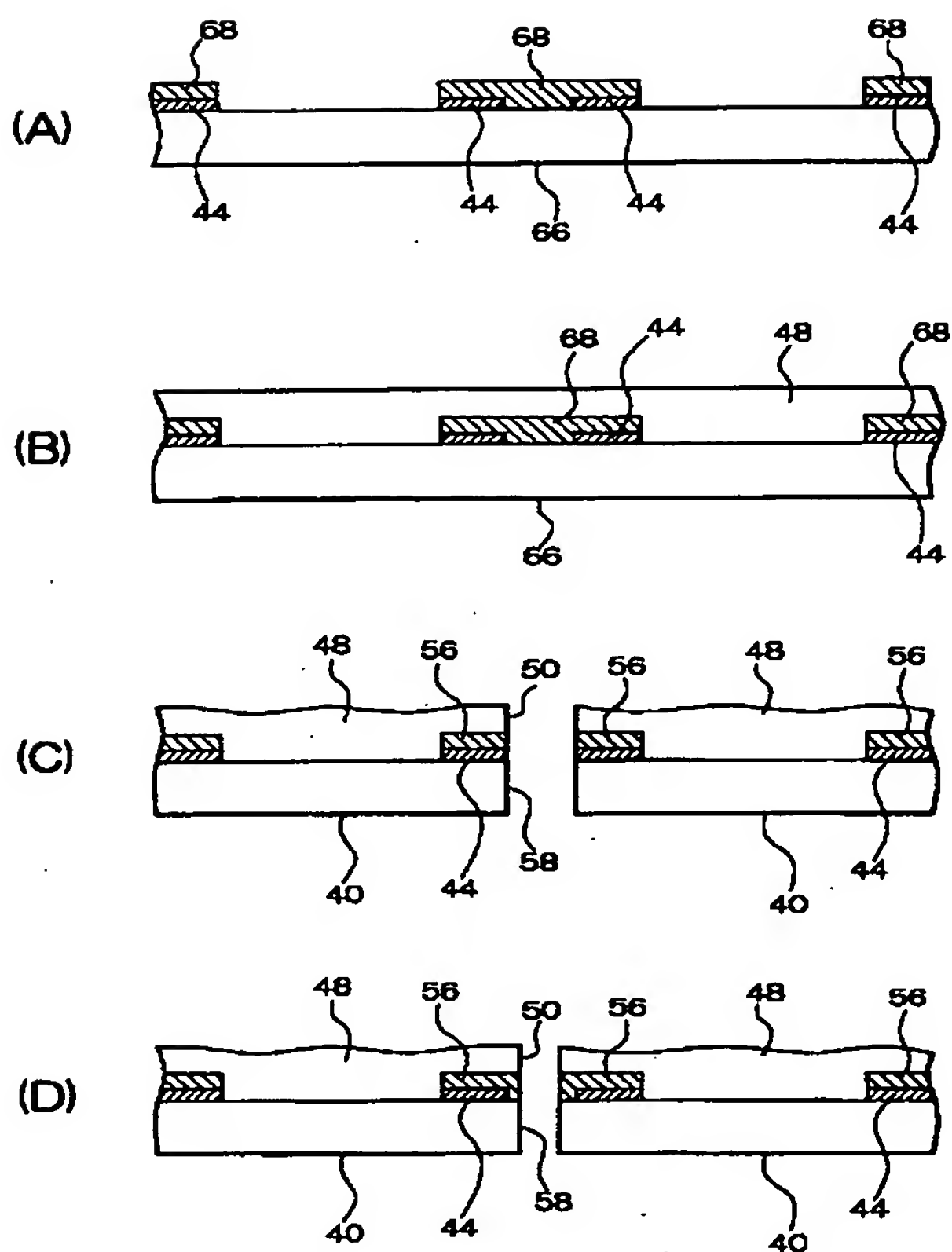
【図 18】



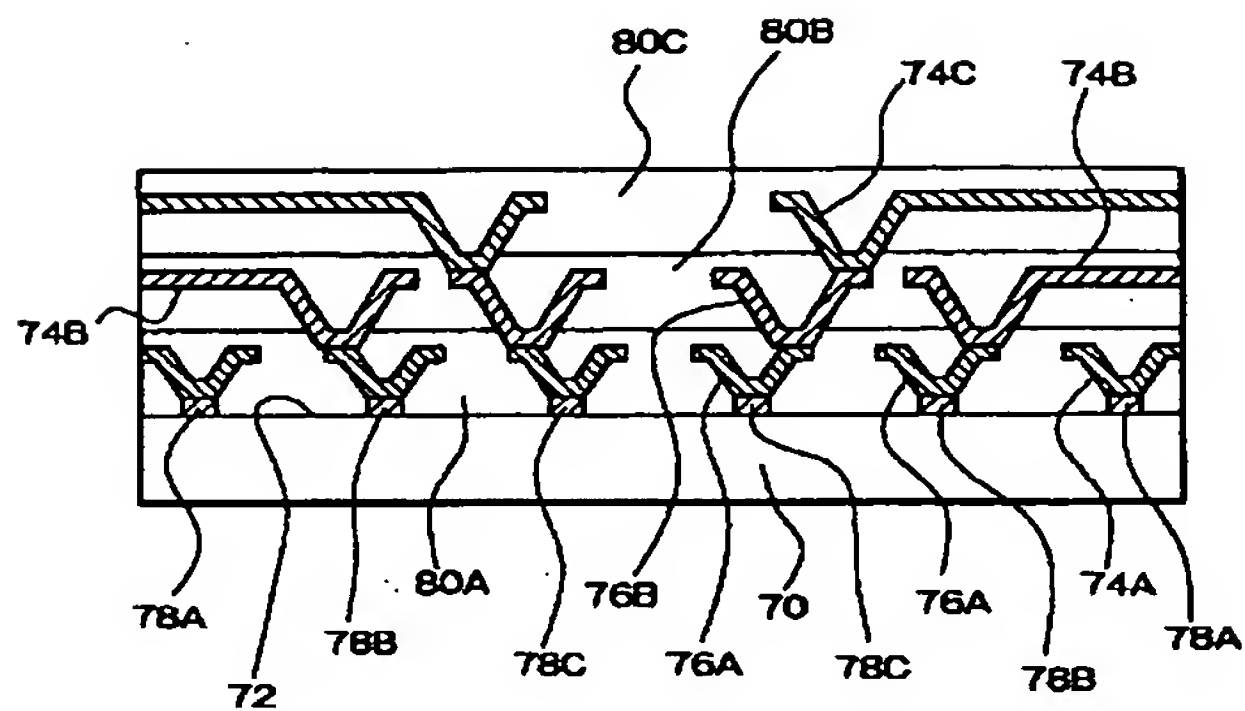
(B)



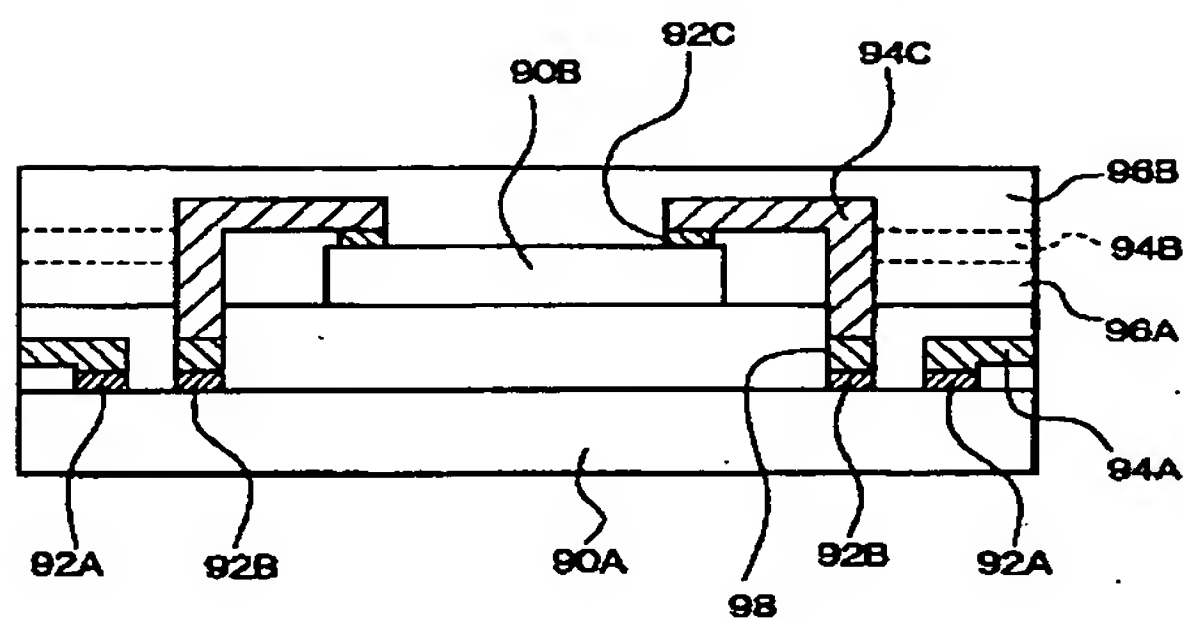
【図 7】



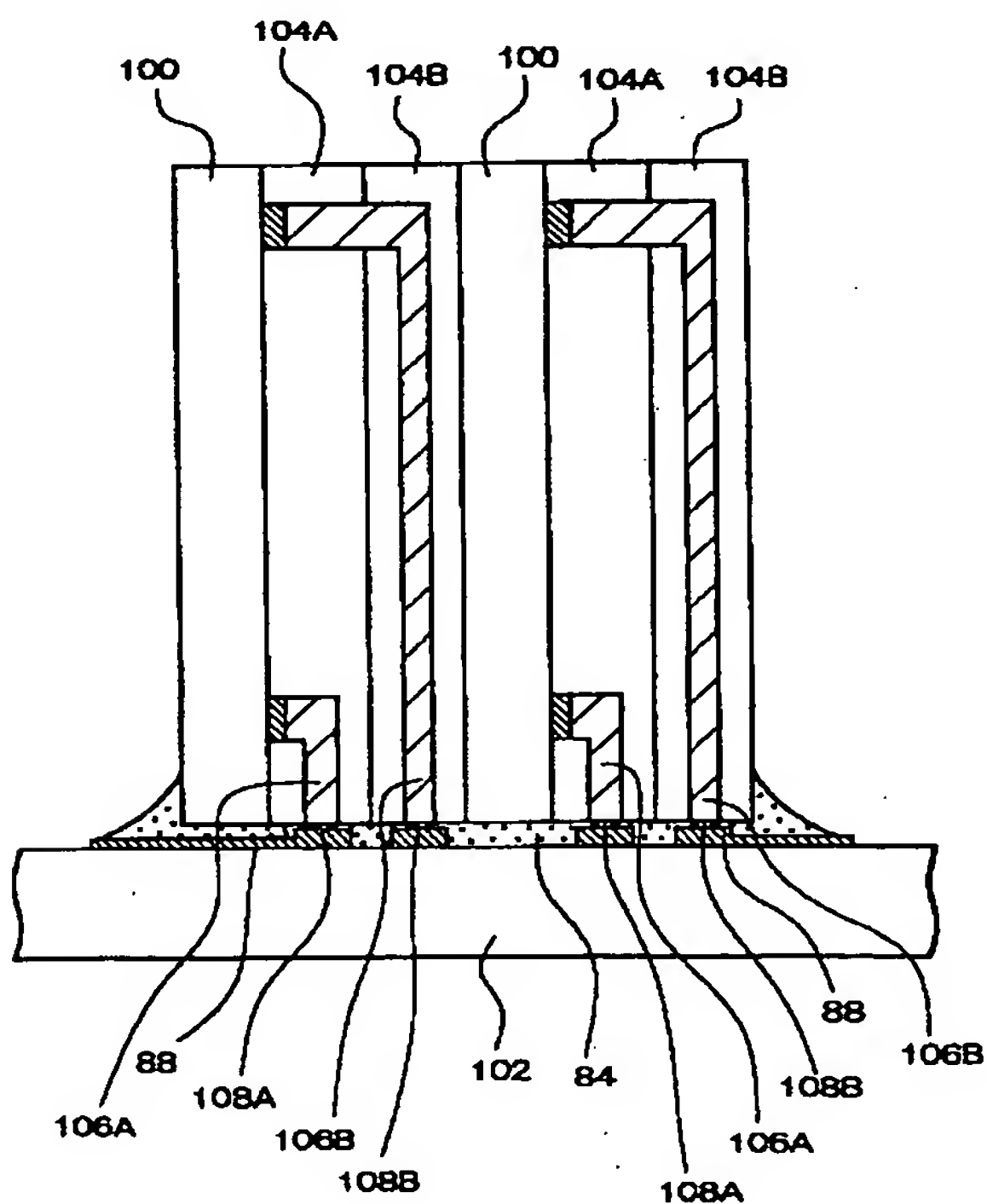
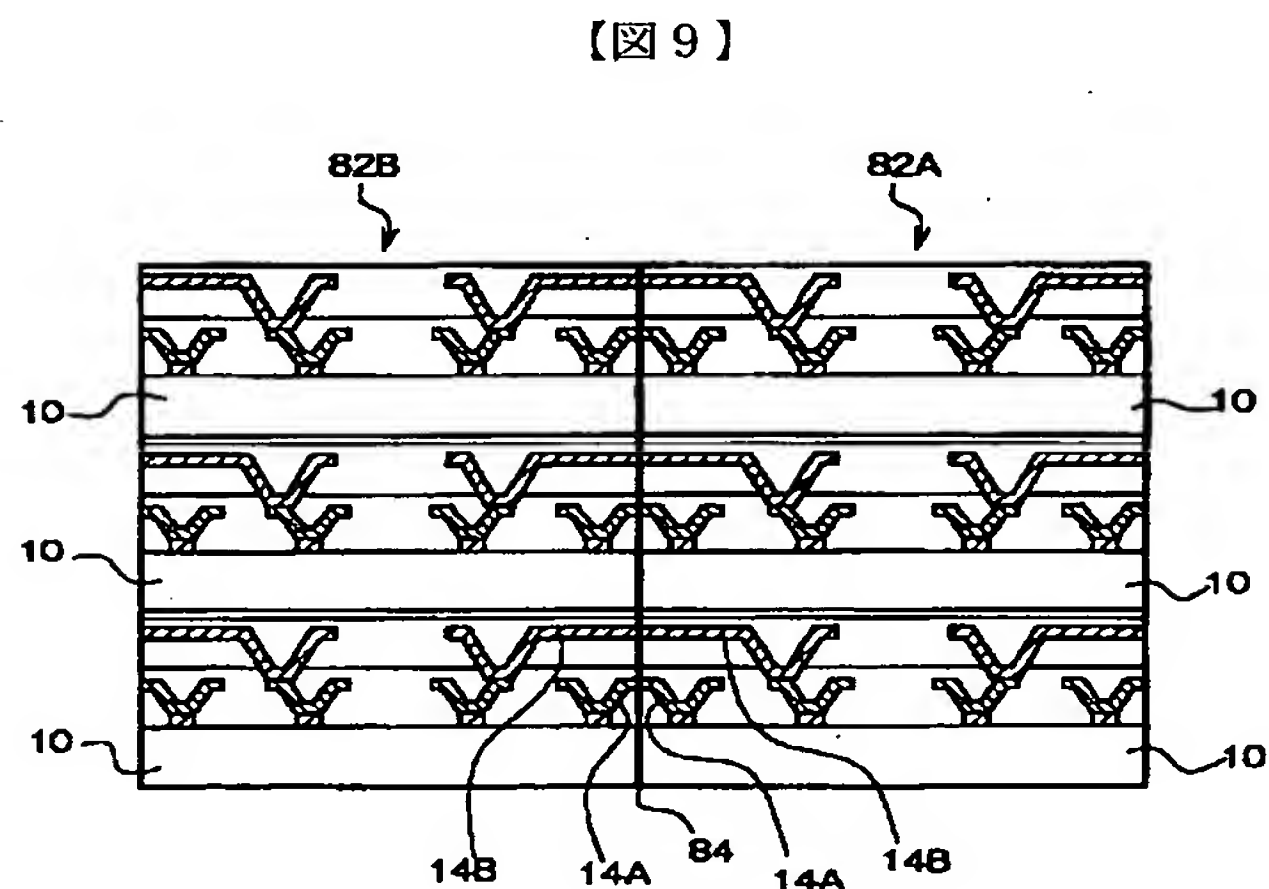
【図 8】



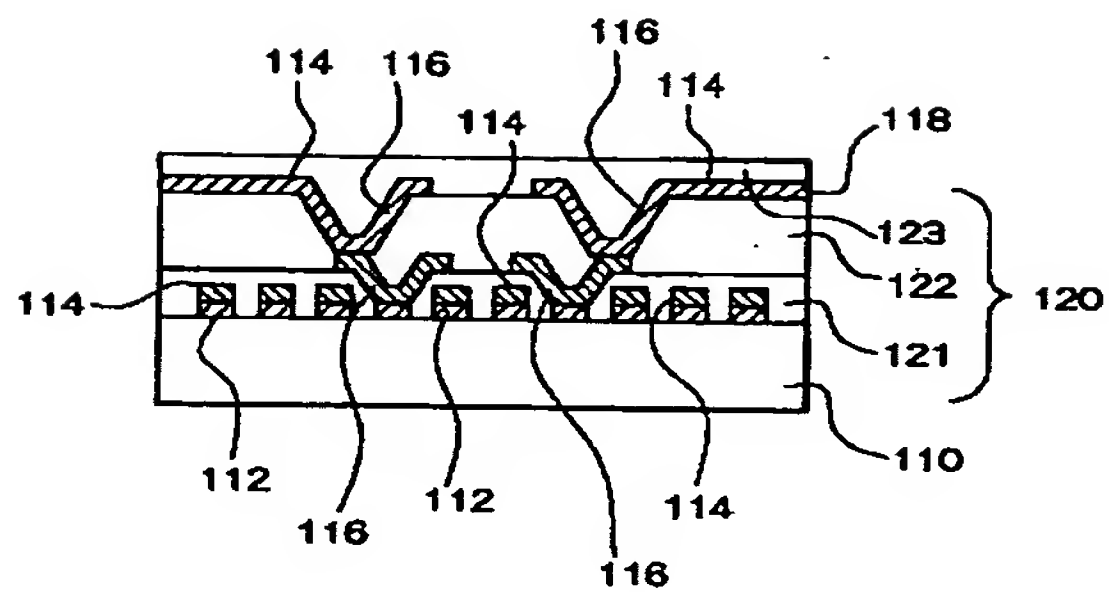
【図 10】



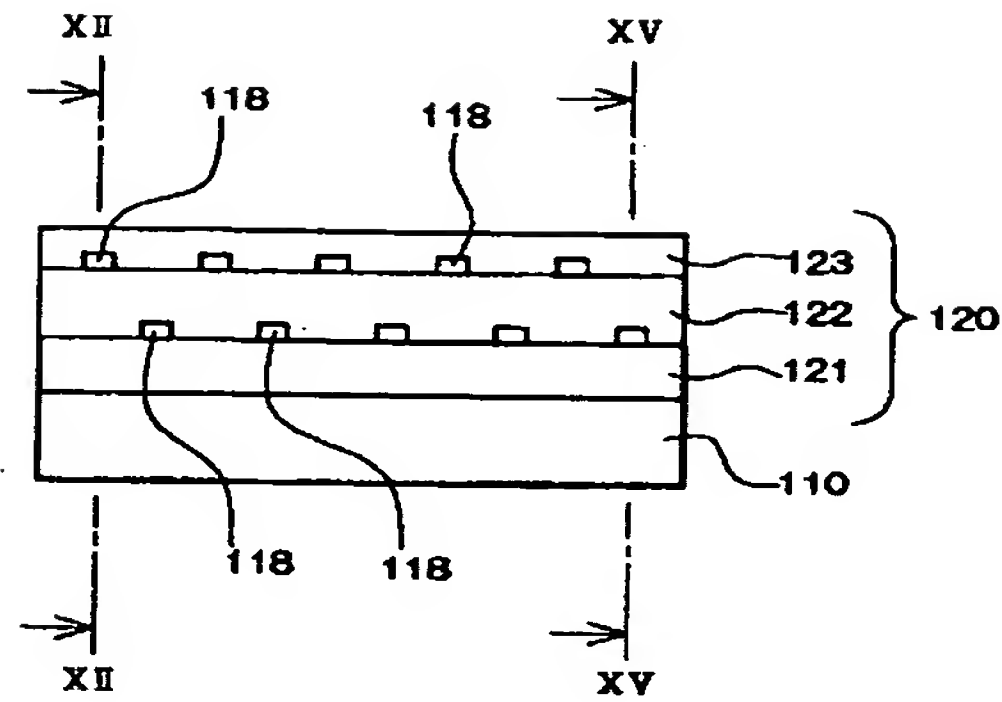
【図 11】



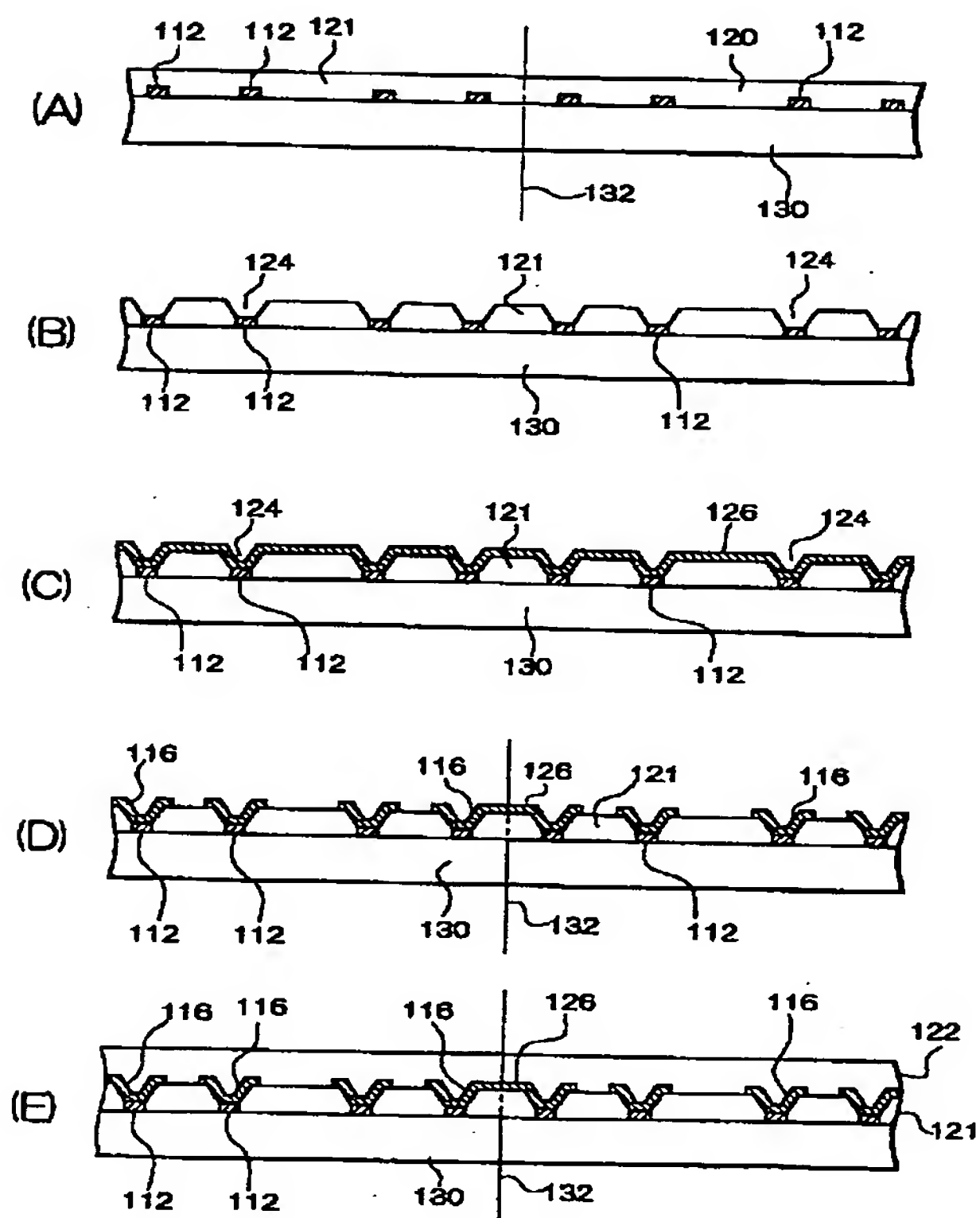
【図 12】



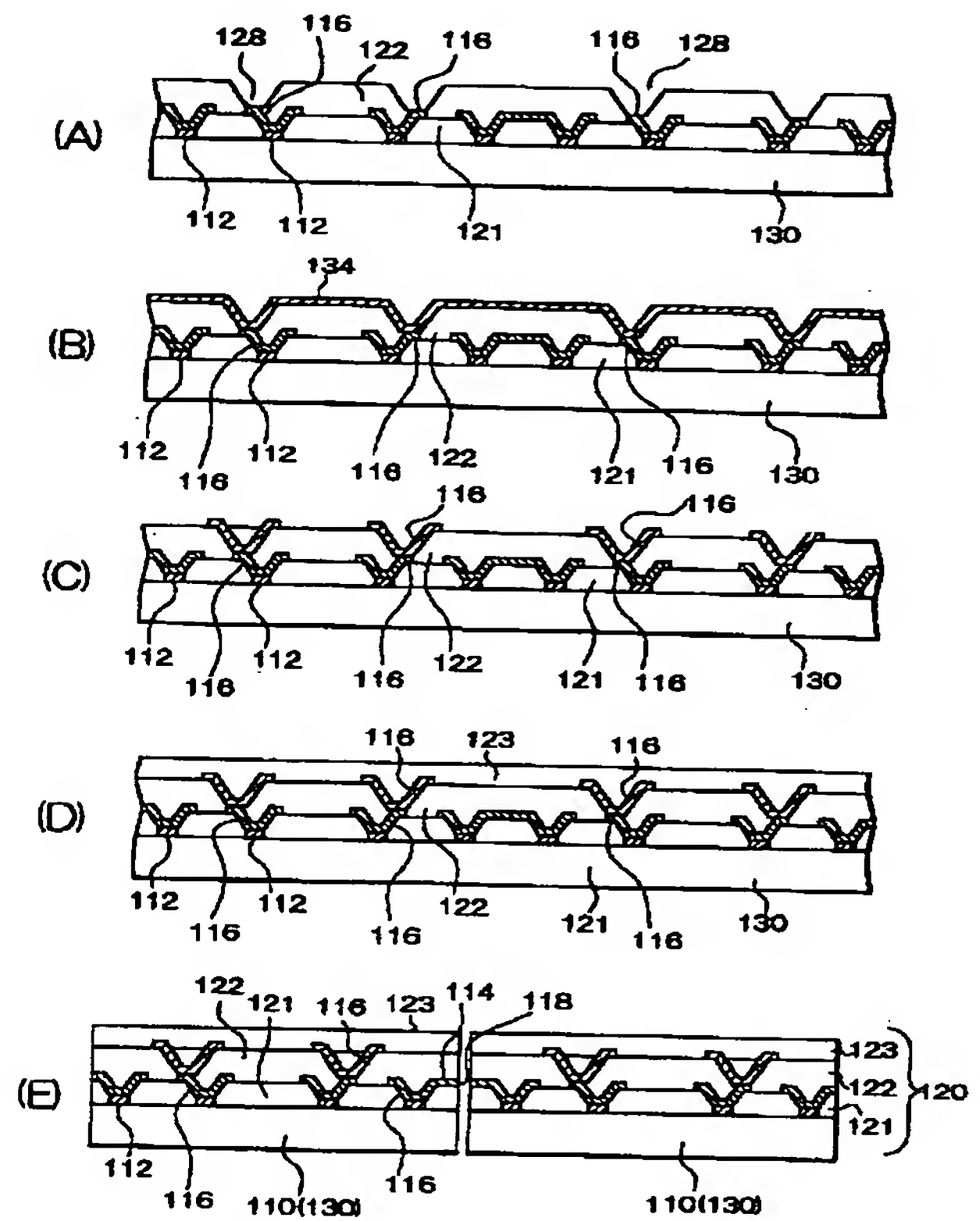
【図 13】



【図 14】



【図 15】



フロントページの続き

(51) Int. Cl.⁷H01L 25/07
25/18

識別記号

F I

H01L 25/08

テ-マ-コード (参考)

Z

Fターム(参考) 5F033 HH07 HH08 HH11 HH13 HH17
HH18 HH19 HH23 JJ01 JJ07
JJ08 JJ11 JJ13 JJ17 JJ18
JJ19 JJ23 KK07 KK08 KK09
KK11 KK13 KK17 KK18 KK19
KK23 MM18 NN32 PP00 PP27
PP28 QQ08 QQ09 QQ34 RR21
RR22 RR23 RR27 SS10 SS21
VV07

